

In re application of:	:		
Hiroyuki TAKAHASHI	:		
	:		
Application No.: To be assigned	:	Art Unit:	To be assigned
	:		
Filed: October 23, 2003	:	Examiner:	To be assigned
	:		
For: SEMICONDUCTOR MEMORY DEVICE AND	:	Docket No.:	KAM-01101
CONTROL METHOD THEREOF	:		

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA, 22313-1450 on October 23, 2003.

450 on October 23, 2003.

 Name: Tracey A. Newell
 Express Mail Label: EV 325286090 US

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Attached hereto is Japanese Application No. 2002-314327, filed October 29, 2002, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-248-4038.

Respectfully submitted,
CHOATE, HALL & STEWART

Respectfully submitted,
CHOATE, HALL & STEWART

Donald W. Muirhead
Reg. No. 33,978

Patent Group
Choate, Hall & Stewart
Exchange Place
53, State Street
Boston, MA 02109-2804

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 4 3 2 7
Application Number:

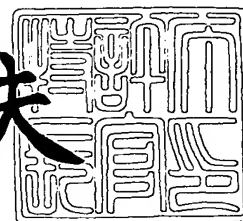
[ST. 10/C]: [J P 2 0 0 2 - 3 1 4 3 2 7]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 8 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 8 8 3 0

【書類名】 特許願

【整理番号】 75010432

【提出日】 平成14年10月29日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/403
G11C 11/41
G11C 11/407

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 高橋 弘行

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその制御方法

【特許請求の範囲】

【請求項 1】

複数のメモリセルを有するセルアレイを備え、

前記メモリセルは、

ライト系の第 1 のビット線とリード系の第 2 のビット線との間に直列形態に接続された第 1 及び第 2 のスイッチトランジスタと、

前記第 1 及び第 2 のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、

を備え、

前記第 1 及び第 2 のスイッチトランジスタの制御端子には、ライト系の第 1 のワード線とリード系の第 2 のワード線とがそれぞれ接続されており、

半導体記憶装置外部より入力されたアドレスを保持するアドレス保持手段と、

前記アドレス保持手段に保持されるリードアドレスとライトアドレスの行アドレスのうち、リード／ライト動作を指示する制御信号に基づき選択されるアドレスと、リフレッシュアドレスとが一致するか否か比較判定する第 1 の判定手段と、

前記第 1 の判定手段による判定の結果、不一致の場合には、前記リードアドレス又はライトアドレスで選択されるメモリセルのリード系とライト系の一方の系に対応するワード線及びビット線を用いたリード又はライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系とライト系の他方の系のワード線及びビット線と前記他方の系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御し、

前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記リードアドレス又はライトアドレスで選択される、メモリセルのリード系とライト系のうち一方の系に対応するワード線及びビット線を用いたリード又はライト動作を行うように制御する手段と、

を備えている、ことを特徴とする半導体記憶装置。

【請求項 2】

複数のメモリセルを有するセルアレイを備え、

前記メモリセルは、

ライト系の第 1 のビット線とリード系の第 2 のビット線との間に直列形態に接続された第 1 及び第 2 のスイッチトランジスタと、

前記第 1 及び第 2 のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、

を備え、

前記第 1 及び第 2 のスイッチトランジスタの制御端子には、ライト系の第 1 のワード線とリード系の第 2 のワード線とがそれぞれ接続されており、

半導体記憶装置外部より入力されたライトアドレスの行アドレスを保持するアドレス保持手段と、

リフレッシュアドレスと、前記アドレス保持手段に保持されるライトアドレスの行アドレスとが一致するか否かを比較判定する第 1 の判定手段と、

前記第 1 の判定手段による判定の結果、不一致の場合には、前記ライトアドレスで選択されるメモリセルのライト系に対応するワード線及びビット線を用いたライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系のワード線及びビット線とリード系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御し、

前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記ライト動作を行うように制御する手段と、

を備えている、ことを特徴とする半導体記憶装置。

【請求項 3】

半導体記憶装置外部より入力されたアドレスと、前記アドレス保持手段に保持されているライトアドレスとが一致するか否かを判定する第 2 の判定手段と、

前記第 2 の判定手段での前記判定の結果、リードアドレスと前記アドレス保持手段に保持されているライトアドレスとが一致している場合、データ保持手段に保持されているデータを読み出しデータ出力端子から出力するように制御する手段と、を備えている、ことを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 4】

前記第 1 の判定手段が、前記セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の時点で、前記リフレッシュアドレスと、前記ライトアドレスの行アドレスとが一致するか否かを比較判定する、構成とされてなる、ことを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 5】

前記アドレス保持手段が、

アドレス端子より入力されたライトアドレスの行アドレス（「ライト系の行アドレス」という）を保持し、予め定められた所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの行アドレス（「リード系の行アドレス」という）はそのまま出力する第 1 のアドレス保持回路と、

前記アドレス端子より入力されたライトアドレスの列アドレス（「ライト系の列アドレス」という）を保持し、前記所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの列アドレス（「リード系の列アドレス」という）はそのまま出力する第 2 のアドレス保持回路と、

を備え、

前記第 1 のアドレス保持回路は、前記アドレス端子より入力されたアドレスの行アドレスと、前記第 1 のアドレス保持回路に保持されているライトアドレスの行アドレスとが一致するか否かを判定する少なくとも 1 つの一致検出回路を備え、

前記第 2 のアドレス保持回路は、前記アドレス端子より入力されたアドレスの列アドレスと、前記第 2 のアドレス保持回路に保持されているライトアドレスの列アドレスとが一致するか否かを判定する少なくとも 1 つの一致検出回路を備えている、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】

前記アドレス保持手段が、

アドレス端子より入力されたライトアドレスの行アドレス（「ライト系の行アドレス」という）を保持し、予め定められた所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの行アドレス（「リード系の行アドレス」という）はそのまま出力する第 1 のアドレス保持回路と、

前記アドレス端子より入力されたライトアドレスの列アドレス（「ライト系の列アドレス」という）を保持し、前記所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの列アドレス（「リード系の列アドレス」という）はそのまま出力する第 2 のアドレス保持回路と、

を備え、

前記第 1 のアドレス保持回路は、ライト系の行アドレスを予め定められた所定数のライトサイクル分遅延させて出力する前の時点で、該ライト系の行アドレスが前記リフレッシュアドレスと一致するか否か比較判定する第 1 の一致検出回路と、

前記アドレス端子より入力されたアドレスの行アドレスと、前記第 1 のアドレス保持回路に保持されているライトアドレスの行アドレスとが一致するか否か判定する少なくとも 1 つの第 2 の一致検出回路と、

を備え、

前記第 2 のアドレス保持回路は、前記アドレス端子より入力されたアドレスの列アドレスと、前記第 2 のアドレス保持回路に保持されているライトアドレスの列アドレスとが一致するか否か判定する少なくとも 1 つの一致検出回路を備え、

前記第 1 のアドレス保持回路の前記第 1 の一致検出回路が前記第 1 の判定手段を構成している、ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 7】

前記第 1 のアドレス保持回路は、アドレス端子より入力されたアドレス信号の行アドレス信号を内部クロック信号でサンプルする入力段のラッチ回路と、

ライトサイクル時に活性化される書き込み制御用のクロック信号に基づき入力端子の信号をラッチして出力端子から出力するラッチ回路を複数段縦続形態に接続して構成され、初段の前記ラッチ回路が入力端子から前記入力段のラッチ回路の出力信号を入力し、最終段のラッチ回路が出力端子から前記入力段のラッチ回路の出力信号を所定数のライトサイクル分遅延させて出力するライトアドレス保持回路とを備え、

前記第 1 の一致検出回路は、前記ライトアドレス保持回路の最終段のラッチ回路よりも前段のラッチ回路の出力信号と、リフレッシュアドレスとが一致するか

否か比較判定し、

前記第 2 の一致検出回路は、前記ライトアドレス保持回路の最終段のラッチ回路よりも前段のラッチ回路の出力信号と、前記入力段のラッチ回路の出力信号とが一致するか否か比較判定し、

リフレッシュアドレスと、前記入力段のラッチ回路の出力を入力し、リフレッシュ制御信号を選択制御信号として、前記リフレッシュ制御信号が活性化されているときリフレッシュアドレスを選択し、前記リフレッシュ制御信号が非活性化のとき、前記入力段のラッチ回路の出力を選択して出力する選択回路を備えている、ことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】

前記第 1 のアドレス保持回路に保持されている前記ライト系の行アドレスと、前記リフレッシュアドレスのうち不一致のビットが 1 つでもある場合、前記リフレッシュ制御信号を活性化し、リード又はライト系のアドレスで選択される、リード系とライト系のうち一方の系に対応するワード線とビット線を用いたリード又はライト動作と、前記リフレッシュアドレスで選択される、リード系とライト系のうちの、他方の系に対応するワード線とビット線、及び、リード系及びライト系のうち他方の系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御する制御回路を備えている、ことを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】

前記第 1 のアドレス保持回路から出力されるライト系とリード系の行アドレスを入力し、リード／ライト動作を指示する制御信号がリードを示すときに、前記リード系の行アドレス、前記制御信号がライトを示すときに、前記ライト系の行アドレスを選択して出力する第 1 の選択回路と、

前記第 1 の選択回路から出力される行アドレスと、リフレッシュアドレス生成回路から出力されるリフレッシュアドレスとを比較するアドレス比較回路と、

前記アドレス比較回路からの比較結果と、リード／ライト動作を指示する制御信号とに基づき、ライト系のアドレスと、リード系のアドレスのいずれを用いてリフレッシュを行うかを制御するためのリード系のリフレッシュ制御信号、及び

、ライト系のリフレッシュ制御信号を出力するリード／ライト及びリフレッシュ制御回路と、

前記第 1 のアドレス保持回路から出力されるライト系の行アドレスと、前記リフレッシュアドレス生成回路から出力されるリフレッシュアドレスとを入力し、前記リード／ライト及びリフレッシュ制御回路からのライト系のリフレッシュ制御信号を選択制御信号として入力し、前記ライト系のリフレッシュ制御信号が活性化されてリフレッシュを示すとき、前記リフレッシュアドレスを選択して出力し、前記ライト系のリフレッシュ制御信号が非活性状態のとき、ライト系の行アドレスを選択出力する第 2 の選択回路と、

前記第 1 のアドレス保持回路から出力されるリード系の行アドレスと、前記リフレッシュアドレス生成回路から出力されるリフレッシュアドレスとを入力し、前記リード／ライト及びリフレッシュ制御回路からのリード系のリフレッシュ制御信号を選択制御信号として入力し、前記リード系のリフレッシュ制御信号が活性化されてリフレッシュを示すとき、前記リフレッシュアドレスを選択して出力し、前記リード系のリフレッシュ制御信号が非活性状態のとき、リード系の行アドレスを選択出力する第 3 の選択回路と、

前記第 2 の選択回路からの行アドレスを入力してデコードしライト系の第 1 のワード線を選択する第 1 の X デコーダと、

前記第 3 の選択回路からの行アドレスを入力してデコードしリード系の第 2 のワード線を選択する第 2 の X デコーダと、

前記第 2 のアドレス保持回路から出力されるライト系の列アドレスを入力し、前記リード／ライト及びリフレッシュ制御回路からの前記ライト系のリフレッシュ制御信号で活性化が制御される第 1 の Y デコーダと、

前記リード／ライト及びリフレッシュ制御回路からの前記ライト系のリフレッシュ制御信号で活性化が制御され、ライト系の前記第 1 のビット線に接続される第 1 のセンスアンプと、

前記第 2 のアドレス保持回路から出力されるリード系の列アドレスを入力し、前記リード／ライト及びリフレッシュ制御回路からのリード系のリフレッシュ制御信号で活性化が制御される第 2 の Y デコーダと、

前記リード／ライト及びリフレッシュ制御回路からのリード系のリフレッシュ制御信号で活性化が制御され、リード系の前記第2のビット線に接続される第2のセンスアンプと、

を備えている、ことを特徴とする請求項5記載の半導体記憶装置。

【請求項10】

前記第1の判定手段をなす前記第1のアドレス保持回路の前記一致検出回路からの比較結果と、リード／ライト動作を指示する制御信号とに基づき、リード系のリフレッシュ制御信号、及び、ライト系の動作を制御する制御信号を出力するリード／ライト及びリフレッシュ制御回路と、

前記第1のアドレス保持回路から出力されるライト系の行アドレスを入力してデコードしライト系の第1のワード線を選択する第1のXデコーダと、

前記第1のアドレス保持回路の選択回路から出力される行アドレスを入力してデコードしリード系の第2のワード線を選択する第2のXデコーダと、

前記第2のアドレス保持回路から出力されるライト系の列アドレスを入力してデコードする第1のYデコーダと、

前記第2のアドレス保持回路から出力されるリード系の列アドレスを入力してデコードする第2のYデコーダと、

ライト系の前記第1のビット線に接続される第1のセンスアンプと、

前記リード／ライト及びリフレッシュ制御回路からのリード系のリフレッシュ制御信号で活性化が制御され、リード系の前記第2のビット線に接続される第2のセンスアンプと、

を備えている、ことを特徴とする請求項6記載の半導体記憶装置。

【請求項11】

リフレッシュ周期を規定するトリガ信号を生成するタイマーと、前記タイマーからのトリガ信号に基づきリフレッシュアドレスを生成する前記リフレッシュアドレス生成回路と、を同一チップ上に備え、クロック同期型のスタティックランダムアクセスメモリのインタフェースに互換である、ことを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項12】

前記第 1 及び第 2 の X デコーダは、前記セルアレイを間にして対向配置され、
前記第 1 及び第 2 のセンスアンプは、前記セルアレイを間にして対向配置される、ことを特徴とする請求項 9 又は 1 0 記載の半導体記憶装置。

【請求項 1 3】

前記第 1、第 2 のアドレス保持回路が、書き込み制御用のクロック信号の立ち下りエッジと立ち上がりエッジでそれぞれデータをサンプルする 1 対のラッチ回路を縦続形態に接続してなる組を、前記所定数のライトサイクル分に対応した組分、縦続形態に接続して構成されているライトアドレス保持回路をそれぞれ備えている、ことを特徴とする請求項 5 又は 6 記載の半導体記憶装置。

【請求項 1 4】

クロック同期型のスタティックランダムアクセスメモリにインタフェース互換である、ことを特徴とする請求項 9 又は 1 0 記載の半導体記憶装置。

【請求項 1 5】

複数のクロックサイクルにわたって、選択されたワード線を活性化し、メモリセルへのデータの書き込み、メモリセルからのデータの読み出しを行うように制御する手段を備えている、ことを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 1 6】

1 つのクロックの立ち上がりと立ち下りのエッジを用いて 1 クロックサイクルで 2 つのデータ要素をデータ入力端子／データ出力端子から入力し／出力し、
パラレルに読み出された 4 つのデータ要素を 2 つのクロックサイクルでシリアルな 4 つのデータ要素に変換する並列直列変換回路を備え、

前記並列直列変換回路に供給されるクロックのタイミングの遅延を制御する遅延制御回路を備え、

データ出力端子から出力されるタイミングがクロック信号に同期している、ことを特徴とする請求項 1 5 記載の半導体記憶装置。

【請求項 1 7】

前記第 1 の判定手段による判定の結果、不一致の場合、前記リード又はライト動作と、前記リフレッシュ動作とが同時に開始されるように制御する手段を備え

ている、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 1 8】

前記第 1 の判定手段による判定の結果、不一致の場合、前記ライト動作と、前記リフレッシュ動作とが同時に開始されるように制御する手段を備えている、ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 1 9】

スタティックランダムアクセスメモリにインタフェース互換の半導体記憶装置であって、

セルアレイが、メモリセルとして、ライト系ポートとリード系ポートの 2 ポートを有する DRAM (ダイナミックランダムアクセスメモリ) セルを有し、

外部より入力されたアドレスを保持するアドレス保持手段と、

リフレッシュアドレスを生成するリフレッシュアドレス手段と、

前記リフレッシュアドレス手段より出力されたりフレッシュアドレスと、前記アドレス保持手段に保持されているライトアドレスとを比較し、不一致の場合、前記 DRAM セルのライト系又はリード系の一方のポートを用いたリード又はライト動作と、他方のポートを用いたリフレッシュ動作を並行して行い、一致した場合、リフレッシュ動作を停止させる制御を行う手段と、

を備えている、ことを特徴とする半導体記憶装置。

【請求項 2 0】

QDR (Quad Data Rate) SRAM (スタティックランダムアクセスメモリ) にインタフェース互換とされている、ことを特徴とする請求項 1 9 記載の半導体記憶装置。

【請求項 2 1】

複数のメモリセルを有するセルアレイを備え、

前記メモリセルは、

ライト系の第 1 のビット線とリード系の第 2 のビット線との間に直列形態に接続された第 1 及び第 2 のスイッチトランジスタと、

前記第 1 及び第 2 のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、

を備え、

前記第 1 及び第 2 のスイッチトランジスタの制御端子には、ライト系の第 1 のワード線とリード系の第 2 のワード線とがそれぞれ接続されており、

半導体記憶装置外部より入力されたアドレスを保持するアドレス保持回路を有する半導体記憶装置の制御方法であって、

前記アドレス保持回路に保持されるリードアドレスとライトアドレスの行アドレスのうち、リード／ライト動作を指示する制御信号に基づき選択されるアドレスと、リフレッシュアドレスとが一致するか否か比較判定するステップと、

前記判定の結果、不一致の場合には、前記リードアドレス又はライトアドレスで選択されるメモリセルのリード系とライト系の一方の系に対応するワード線及びビット線を用いたリード又はライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系とライト系の他方の系のワード線とビット線、及び、前記他方の系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行うように制御するステップと、

前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記リードアドレス又はライトアドレスで選択される、メモリセルのリード系とライト系のうち一方の系に対応するワード線及びビット線を用いたリード又はライト動作を行うように制御するステップと、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 2 2】

複数のメモリセルを有するセルアレイを備え、

前記メモリセルは、

ライト系の第 1 のビット線とリード系の第 2 のビット線との間に直列形態に接続された第 1 及び第 2 のスイッチトランジスタと、

前記第 1 及び第 2 のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、

を備え、

前記第 1 及び第 2 のスイッチトランジスタの制御端子には、ライト系の第 1 のワード線とリード系の第 2 のワード線とがそれぞれ接続されており、

半導体記憶装置外部より入力されたライトアドレスの行アドレスを保持するアドレス保持回路を有する半導体記憶装置の制御方法であって、

リフレッシュアドレスと、前記アドレス保持回路に保持されるライトアドレスの行アドレスとが一致するか否か比較判定するステップと、

前記判定の結果、不一致の場合には、前記ライトアドレスで選択されるメモリセルのライト系に対応するワード線及びビット線を用いたライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系のワード線とビット線、及び、リード系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御するステップと、

前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記ライト動作を行うように制御するステップと、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 2 3】

半導体記憶装置外部より入力されたアドレスと、前記アドレス保持回路に保持されているライトアドレスとが一致するか否か判定するステップと、

前記判定の結果、入力されたリードアドレスが前記アドレス保持回路に保持されているライトアドレスと一致する場合、データ保持回路に保持されているデータを読み出し、データ出力端子から出力するように制御するステップと、

を含む、ことを特徴とする請求項 2 1 又は 2 2 記載の半導体記憶装置の制御方法。

【請求項 2 4】

前記セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の時点で、前記リフレッシュアドレスと、前記ライトアドレスの行アドレスとが一致するか否か比較判定するステップを含む、ことを特徴とする請求項 2 2 記載の半導体記憶装置の制御方法。

【請求項 2 5】

セルアレイが、メモリセルとして、ライト系ポートとリード系ポートの 2 ポートを有する DRAM（ダイナミックランダムアクセスメモリ）セルを有し、自動リフレッシュ機能を具備し、スタティックランダムアクセスメモリにインタフェ

ース互換の半導体記憶装置の制御方法であって、

外部より入力されたアドレスをアドレス保持手段に記憶保持するステップと、
リフレッシュアドレス生成手段から出力されたりフレッシュアドレスと、前記
アドレス保持手段に保持されているライトアドレスとを比較するステップと、
前記比較の結果、不一致の場合、前記 D R A M セルのライト系又はリード系の
一方のポートを用いたリード又はライト動作と、他のポートを用いたリフレッシュ
動作を並行して行うステップと、

前記比較の結果、一致した場合、リフレッシュ動作を停止させる制御を行うス
テップと、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 2 6】

前記リード又はライト動作と、前記リフレッシュ動作とが同一サイクルで並行
して行うように制御するステップにおいて、リード又はライト動作とリフレッシュ
動作は同時に開始されるように制御する、ことを特徴とする請求項 2 1 記載の
半導体記憶装置の制御方法。

【請求項 2 7】

前記ライト動作と、前記リフレッシュ動作とが同一サイクルで並行して行うよ
うに制御するステップにおいて、ライト動作とリフレッシュ動作は同時に開始さ
れるように制御する、ことを特徴とする請求項 2 1 記載の半導体記憶装置の制御
方法。

【請求項 2 8】

リフレッシュが必要とされるメモリセルを複数含むセルアレイと、
半導体記憶装置外部から入力されたアドレス及びデータをそれぞれ保持するア
ドレス保持回路及びデータ保持回路と、を備えた半導体記憶装置の制御方法であ
って、

外部から入力されたアドレス及びデータを前記アドレス保持回路及び前記デー
タ保持回路でそれぞれ記憶するステップと、

前記アドレス保持回路に保持されたライトアドレスの行アドレスとリフレッシュ
アドレスとを比較し、不一致の場合には、前記データ保持回路に保持されてい

るデータを前記セルアレイに書き込むライト動作と、前記セルアレイのリフレッシュ動作とを同時に行い、一致の場合には、リフレッシュ動作を抑止して、前記ライト動作を行うステップと、

前記アドレス保持回路に保持されたライトアドレスと外部から入力されたリードアドレスとを比較し、不一致の場合には、前記セルアレイからデータを読み出して半導体記憶装置外部へ出力し、一致の場合には、前記データ保持回路に保持されているデータを読み出して半導体記憶装置外部へ出力するステップと、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 2 9】

外部から入力されたリードアドレスと、リフレッシュアドレスとを比較し、不一致の場合には、前記リードアドレスで選択されるセルアレイからのデータの読み出しと同時に、前記リフレッシュアドレスで選択されるセルアレイのリフレッシュ動作を行い、一致の場合は、リフレッシュ動作を抑止し、前記リードアドレスで選択されるセルアレイからのデータの読み出しを行う、ことを特徴とする請求項 2 8 記載の半導体記憶装置の制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、SRAM（スタティックランダムアクセスメモリ）準拠の半導体記憶装置に適用して好適なダイナミック型の半導体記憶装置及びその制御方法に関する。

【0 0 0 2】

【従来の技術】

QDR（Q u a d D a t a R a t e）SRAMデバイスは、従来の同期式メモリの2倍の速度で独立して動作する2本のポートを備えており、1クロックサイクルあたり4つのデータ要素を転送することができる（例えば非特許文献1）。QDR SRAMファミリ製品のQDR IIは、データポートが入力ポートと出力ポートに分かれており、DDR（d o u b l e d a t a r a t e）で機能する。

【0 0 0 3】

【非特許文献 1】

日本サイプレス株式会社、CYPRESS News Release、"NPF-LA-1インターフェース仕様がQDR SRAMに対応" [平成 1 4 年 1 0 月 0 3 日検索] インターネット<URL : <http://www.cypress-japan.co.jp/cynews020715.html>>

【0 0 0 4】

よく知られているように、DRAM（ダイナミックランダムアクセスメモリ）デバイスは、周期的なりフレッシュ動作と、ビット線のプリチャージ動作を必要とするのに対して、SRAMデバイスは、データアクセスサイクルの点で優れている。一方、SRAMデバイスは、1セルあたり、4個のトランジスタ（高抵抗負荷型のセルの場合、ビット線対に接続される選択トランジスタ2つと、ゲートドレインが交差接続された2つのトランジスタ）又は6個のトランジスタ（TFET負荷型の場合）で構成され、DRAMデバイスは1個のトランジスタと1個のキャパシタで構成される。すなわち、DRAMは、面積、消費電力、コストの点でSRAMにまさり、SRAMのピン配置、タイミング、機能の設定を同様に有する従来のZBT（ゼロ・バス・ターンアラウンド）SRAMデバイスの利点を提供するとともに、デバイスの集積度、消費電力、コストの改善を図ったエンハンスド・バス・ターンアラウンドDRAMが提案されている（例えば特許文献1参照）。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 1 - 2 8 3 5 8 7 号公報（第 2 頁、第 1 図）

【0 0 0 6】

上記特許文献 1 に記載されたメモリ装置は、メモリ装置外に設けられたコントローラに、メモリアレイがデータアクセスに現在使用できない状態にあることを知らせる待機信号出力端子を備えている。上記特許文献 1 には、ZBT SRAMデバイスと類似したピンアウト、タイミング、及び機能セットを有する多くの同じ利点を有するエンハンスド・バス・ターンアラウンドDRAMを提供することを目的としていることが記載されているが、ZBT SRAM互換ではない。

すなわち、上記特許文献1においては、2ポートDRAMセルを用いる旨の記載はなく、通常の1ポートのDRAMセルを用いているものと思料され、リード／ライト・サイクルの間に必ず、リフレッシュ・サイクルを挿入する必要があり、リフレッシュ・サイクルでは、リード／ライト動作を中断しなければならない。用途を通信用とした場合、連続したリード／ライト動作を行える仕様が要求される。かかる通信用の用途では、上記特許文献1のエンハンスド・バス・ターンアラウンドDRAMは、従来のZBT SRAMに置きかえることはできない。また、上記特許文献1の発明の詳細な説明の欄の段落[0059]には、キャッシュの読み出しサイクル等の背後にリフレッシュ・サイクルを隠せば、ほとんどのリフレッシュ・サイクルがメモリ・デバイスの動作に与える影響は最小である旨が記載されているが、たとえ、頻度は少ないとしても、キャッシュ上にないデータについてメモリ・アレイへのリード／ライト要求が連続した場合には、WAIT端子を使ってリードライト動作を中断しなければならず、結局、ZBT SRAMの置き換えはできない。

【0007】

また、図13に示すように、通常アクセス用のビット線201と、リフレッシュ専用のビット線202の間に第1及び第2のスイッチトランジスタ205、206が直列形態に接続され、第1及び第2のスイッチトランジスタ205、206の接続点にデータ蓄積用の容量素子207が接続され、第1及び第2のスイッチトランジスタ205、206の制御端子には、通常アクセス用のワード線204とリフレッシュ専用のワード線203とがそれぞれ接続される、メモリセル（2ポートDRAMセル）を複数有するセルアレイを備え、外部よりメモリアクセスと、リフレッシュが同一アドレスに重複した場合に、リフレッシュをマスクする構成のダイナミックランダムアクセスメモリが知られている（例えば特許文献2参照）。

【0008】

さらに、図13に示した2ポートDRAMセルを用い、ライト専用ビット線、リード専用ビット線を設け、リードとライトを同時に行い、リフレッシュはリード専用ビット線からセルデータを読み出し、センスアンプで増幅した後、ライト

用ビット線からセルデータの書き戻しを行う構成のものも知られている（例えば特許文献 3 参照）。

【 0 0 0 9 】

【特許文献 2】

特開平 3 - 2 6 3 6 8 5 号公報（第 2 頁、第 2 図）

【特許文献 3】

特許第 2 6 5 3 6 8 9 号公報（第 3 頁、第 2 図）

【 0 0 1 0 】

【発明が解決しようとする課題】

従来の DRAM セルを用いた ZBT SRAM（「NoBL-SRAM」とも呼ばれる）等に類似するデバイスが開発されているが、内部リフレッシュのために、例えば $16 \mu s$ ごとに、4 クロックサイクルの非選択（deselect）が必要とされるなど、ZBT SRAM インタフェースに完全互換ではない（例えば非特許文献 2 参照）。非選択（deselect）期間の存在は、アクセスの効率化を困難としている。また、QDR SRAM インタフェース互換の DRAM セルを用いた半導体記憶装置は、提案されていない。

【 0 0 1 1 】

【非特許文献 2】

Enhanced Memory Systems Inc. Web ページ製品ニュース（Products News）
〔平成 1 4 年 1 0 月 1 0 日検索〕インターネット＜URL：<http://www.edram.com>

/products/datasheets/ss2625ds_r1.1.pdf（第 6 頁）＞

【 0 0 1 2 】

したがって、本発明の主たる目的は、リフレッシュ制御の効率化、高速化を図り、例えば QDR（Quad Data Rate）SRAM 等の高速 SRAM にインタフェース互換の全く新規の半導体記憶装置及びその制御方法を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

前記目的を達成する本発明の 1 つのアスペクトに係る半導体記憶装置は、スティックランダムアクセスメモリにインタフェース互換の半導体記憶装置であって、セルアレイが、メモリセルとして、ライト系ポートとリード系ポートの 2 ポートを有する D R A M セルを有し、外部より入力されたアドレスを保持するアドレス保持手段を備え、リフレッシュアドレス生成回路から出力されたリフレッシュアドレスと、ライトアドレスとを比較し、不一致の場合、ライト系又はリード系の一方のポートを用いたリード又はライト動作と、他のポートを用いたリフレッシュ動作を並行して行い、一致した場合、リフレッシュ動作を停止させる制御を行う手段を備えている。

【 0 0 1 4 】

本発明に係る半導体記憶装置の第 2 のアスペクトによれば、複数のメモリセルを有するセルアレイを備え、前記メモリセルは、ライト系の第 1 のビット線とリード系の第 2 のビット線との間に直列形態に接続された第 1 及び第 2 のスイッチトランジスタと、前記第 1 及び第 2 のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、を備え、前記第 1 及び第 2 のスイッチトランジスタの制御端子には、ライト系の第 1 のワード線とリード系の第 2 のワード線とがそれぞれ接続されており、半導体記憶装置外部より入力されたアドレスを保持するアドレス保持手段と、前記アドレス保持手段に保持されるリードアドレスとライトアドレスの行アドレスのうち、リード／ライト動作を指示する制御信号に基づき選択されるアドレスと、リフレッシュアドレスとが一致するか否か比較判定する第 1 の判定手段を備え、前記第 1 の判定手段による判定の結果、不一致の場合には、前記リードアドレス又はライトアドレスで選択されるメモリセルのリード系とライト系の一方の系に対応するワード線及びビット線を用いたリード又はライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系とライト系の他方の系のワード線及びビット線と前記他方の系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御し、前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記リードアドレス又はライトアドレスで選択される、メモリセルのリード系とライト系のうち一方の系に対応するワード線及びビット線を用いたリード又はライト動作

を行うように制御する手段を備えている。

【0015】

本発明に係る半導体記憶装置の第3のアスペクトによれば、複数のメモリセルを有するセルアレイを備え、前記メモリセルは、ライト系の第1のビット線とリード系の第2のビット線との間に直列形態に接続された第1及び第2のスイッチトランジスタと、前記第1及び第2のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、を備え、前記第1及び第2のスイッチトランジスタの制御端子には、ライト系の第1のワード線とリード系の第2のワード線とがそれぞれ接続されており、半導体記憶装置外部より入力されたライトアドレスの行アドレスを保持するアドレス保持手段と、リフレッシュアドレスと、前記アドレス保持手段に保持されるライトアドレスの行アドレスとが一致するか否か比較判定する第1の判定手段と、前記第1の判定手段による判定の結果、不一致の場合には、前記ライトアドレスで選択されるメモリセルのライト系に対応するワード線及びビット線を用いたライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系のワード線及びビット線とリード系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御し、前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記ライト動作を行うように制御する手段と、を備えている。

【0016】

本発明に係る半導体記憶装置によれば、半導体記憶装置外部より入力されたアドレスと、前記アドレス保持手段に保持されているライトアドレスとが一致するか否か判定する第2の判定手段と、前記第2の判定手段での、前記判定の結果、リードアドレスが前記アドレス保持回路に保持されているライトアドレスと一致の場合、データ保持回路に含まれるデータを読み出し、データ出力端子から出力するように制御する手段と、を備えている。

【0017】

本発明に係る半導体記憶装置によれば、前記第1の判定手段は、前記セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の時点で、前記リフレッシュアドレスと、前記ライトアドレスの行アドレスとが一致するか否か

比較判定する、構成とされてなる。

【0018】

本発明の前記第2のアスペクトにおいて、前記アドレス保持手段は、アドレス端子より入力されたライトアドレスの行アドレス（「ライト系の行アドレス」という）を保持し、予め定められた所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの行アドレス（「リード系の行アドレス」という）はそのまま出力する第1のアドレス保持回路と、前記アドレス端子より入力されたライトアドレスの列アドレス（「ライト系の列アドレス」という）を保持し、前記所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの列アドレス（「リード系の列アドレス」という）はそのまま出力する第2のアドレス保持回路と、を備え、前記第1のアドレス保持回路は、前記アドレス端子より入力されたアドレスの行アドレスと、前記第1のアドレス保持回路に保持されているライトアドレスの行アドレスとが一致するか否か判定する少なくとも1つの一致検出回路を備え、前記第2のアドレス保持回路は、前記アドレス端子より入力されたアドレスの列アドレスと、前記第2のアドレス保持回路に保持されているライトアドレスの列アドレスとが一致するか否か判定する少なくとも1つの一致検出回路を備えている。

【0019】

本発明の前記第3のアスペクトにおいて、前記アドレス保持手段は、アドレス端子より入力されたライトアドレスの行アドレス（「ライト系の行アドレス」という）を保持し、予め定められた所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの行アドレス（「リード系の行アドレス」という）はそのまま出力する第1のアドレス保持回路と、前記アドレス端子より入力されたライトアドレスの列アドレス（「ライト系の列アドレス」という）を保持し、前記所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの列アドレス（「リード系の列アドレス」という）はそのまま出力する第2のアドレス保持回路と、を備え、前記第1のアドレス保持回路は、ライト系の行アドレスを予め定められた所定数のライトサイクル分遅延させて出力する前の時点で、該ライト系の行アドレスが前記リフレ

ッシュアドレスと一致するか否か比較判定する第1の一致検出回路と、前記アドレス端子より入力されたアドレスの行アドレスと、前記第1のアドレス保持回路に保持されているライトアドレスの行アドレスとが一致するか否か判定する少なくとも1つの第2の一致検出回路と、を備え、前記第2のアドレス保持回路は、前記アドレス端子より入力されたアドレスの列アドレスと、前記第2のアドレス保持回路に保持されているライトアドレスの列アドレスとが一致するか否か判定する少なくとも1つの一致検出回路を備え、前記第1のアドレス保持回路の前記第1の一致検出回路が前記第1の判定手段を構成している。

【0020】

本発明に係る方法の1つのアспектによれば、セルアレイが、メモリセルとして、ライト系ポートとリード系ポートの2ポートを有するDRAM（ダイナミックランダムアクセスメモリ）セルを有し、自動リフレッシュ機能を具備し、スタティックランダムアクセスメモリにインタフェース互換の半導体記憶装置の制御方法であって、

外部より入力されたアドレスをアドレス保持手段に記憶保持するステップと、リフレッシュアドレス生成手段から出力されたりフレッシュアドレスと、前記アドレス保持手段に保持されているライトアドレスとを比較するステップと、

前記比較の結果、不一致の場合、前記DRAMセルのライト系又はリード系の一方のポートを用いたリード又はライト動作と、他のポートを用いたリフレッシュ動作を並行して行うステップと、

前記比較の結果、一致した場合、リフレッシュ動作を停止させる制御を行うステップと、を含む。

【0021】

本発明の他のアспектに係る方法は、複数のメモリセルを有するセルアレイを備え、前記メモリセルは、ライト系の第1のビット線とリード系の第2のビット線との間に直列形態に接続された第1及び第2のスイッチトランジスタと、前記第1及び第2のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、を備え、前記第1及び第2のスイッチトランジスタの制御端子には、ライト系の第1のワード線とリード系の第2のワード線とがそれぞれ接続されており

、半導体記憶装置外部より入力されたアドレスを保持するアドレス保持回路を備えた半導体記憶装置の制御方法であって、

前記アドレス保持回路に保持されるリードアドレスとライトアドレスの行アドレスのうち、リード／ライト動作を指示する制御信号に基づき選択されるアドレスと、リフレッシュアドレスとが一致するか否か比較判定するステップと、

前記判定の結果、不一致の場合には、前記リードアドレス又はライトアドレスで選択されるメモリセルのリード系とライト系の一方の系に対応するワード線及びビット線を用いたリード又はライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系とライト系の他方の系のワード線とビット線、及び、前記他方の系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行うように制御するステップと、

前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記リードアドレス又はライトアドレスで選択される、メモリセルのリード系とライト系のうち一方の系に対応するワード線及びビット線を用いたリード又はライト動作を行うように制御するステップと、を含む。

【 0 0 2 2 】

本発明に係る方法は、他のアスペクトによれば、リフレッシュアドレスと、前記アドレス保持回路に保持されるライトアドレスの行アドレスとが一致するか否か比較判定するステップと、

前記判定の結果、不一致の場合には、前記ライトアドレスで選択されるメモリセルのライト系に対応するワード線及びビット線を用いたライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系のワード線とビット線、及び、リード系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御するステップと、

前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記ライト動作を行うように制御するステップと、を含む構成としてもよい。

【 0 0 2 3 】

以下の説明からも明らかとされるように、上記目的は特許請求の範囲の各請求項の発明によっても同様にして達成される。

【0024】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明に係る半導体記憶装置は、その好ましい一実施の形態において、図1を参照すると、1つのメモリセルが、ライト系のビット線(B(WF))とリード系のビット線(B(RF))間に接続された第1、第2のスイッチトランジスタ(T_{r1}、T_{r2})と、第1、第2のスイッチトランジスタ(T_{r1}、T_{r2})の接続点に一端が接続されたデータ蓄積容量(C)と、を備え、第1、第2のスイッチトランジスタ(T_{r1}、T_{r2})の制御端子には、ライト系のワード線(W(WF))とリード系のワード線(W(RF))がそれぞれ接続されている。入力されたアドレス信号を保持するアドレス保持手段(130、136)を備え、アドレス保持手段(130)から出力されるリードアドレス又はライトアドレスの行アドレスのうち、リード/ライト制御信号で選択される行アドレスと、リフレッシュアドレスを比較する第1の判定手段(132)を備え、第1の判定手段(132)による判定の結果、不一致の場合、リードアドレス又はライトアドレスで選択される、リード/ライト系の一方の系を用いたリード/ライト動作と、リフレッシュアドレスで選択されるリード/ライト系の他方の系を用いたリフレッシュ動作が同一サイクルで並行して行われ、一致の場合、リフレッシュ動作は抑止され、リード系及び/又はライト系を用いたリード及び/又はライト動作が行われる。外部より入力されたライトアドレスに対して、1つ以上の所定数のライトサイクル分遅れて、メモリセルへの書き込みが行われるレイトライト構成とされている。

【0025】

そして、本発明に係る半導体記憶装置は、その好ましい一実施の形態において、半導体記憶装置外部より入力されたアドレスと、アドレス保持手段(130、136)に保持されているライトアドレスとが一致するか否かを判定する第2の判定手段(図2の308、又は309)と、前記第2の判定手段での、前記判定の結果、リードアドレスがアドレス保持手段に保持されているライトアドレスと一致している場合、データ保持手段(図1の141、142)に保持されているデータを読み出しデータとしてデータ出力端子(Dout)より出力するように制

御する手段（図1の137、143）と、を備えている。

【0026】

本発明の一実施の形態において、アドレス保持手段は、アドレス端子より入力されたライトアドレスの行アドレス（「ライト系の行アドレス」という）を保持し、予め定められた所定数のライトサイクル分遅延させて出力し、前記アドレス端子より入力されたリードアドレスの行アドレス（「リード系の行アドレス」という）は、そのまま出力する第1のアドレス保持回路（130）と、アドレス端子より入力されたライトアドレスの列アドレス（「ライト系の列アドレス」という）を保持し、前記所定数のライトサイクル分遅延させて出力し、アドレス端子より入力されたリードアドレスの列アドレス（「リード系の列アドレス」という）はそのまま出力する第2のアドレス保持回路（136）とを備えている。さらに、第1のアドレス保持回路（130）の出力端子からの行アドレスを入力し、リード／ライト動作を指示する制御信号がリードを示すときに、前記リード系の行アドレス、前記制御信号がライトを示すときに、前記ライト系の行アドレスを選択して出力する第1の選択回路（131）と、第1の選択回路（131）から出力される行アドレスと、リフレッシュアドレス生成回路から出力されるリフレッシュアドレスとを比較するアドレス比較回路（132）と、アドレス比較回路（132）からの比較結果と、リード／ライト動作を指示する制御信号とに基づき、ライト系のアドレスと、リード系のアドレスのいずれを用いてリフレッシュを行うかを制御するためのリード系のリフレッシュ制御信号、及び、ライト系のリフレッシュ制御信号を出力するリード／ライト及びリフレッシュ制御回路（133）と、前記第1のアドレス保持回路から出力されるライト系の行アドレスと、前記リフレッシュアドレス生成回路（129）から出力されるリフレッシュアドレスとを入力し、リード／ライト及びリフレッシュ制御回路（133）からのライト系のリフレッシュ制御信号を選択制御信号として入力し、前記ライト系のリフレッシュ制御信号が活性化されているとき、前記リフレッシュアドレスを選択して出力し、前記ライト系のリフレッシュ制御信号が非活性状態のとき、ライト系の行アドレスを選択出力する第2の選択回路（134）と、第1のアドレス保持回路（136）から出力されるリード系の行アドレスと、リフレッシュアド

レス生成回路（129）から出力されるリフレッシュアドレスとを入力し、リード／ライト及びリフレッシュ制御回路（133）からのリード系のリフレッシュ制御信号を選択制御信号として入力し、前記リード系のリフレッシュ制御信号が活性化されているとき、前記リフレッシュアドレスを選択して出力し、前記リード系のリフレッシュ制御信号が非活性状態のとき、リード系の行アドレスを選択出力する第3の選択回路（135）と、を備え、前記第2の選択回路（134）からの行アドレスを入力してデコードしライト系の第1のワード線を選択する第1のXデコーダ（111W）と、前記第3の選択回路（135）からの行アドレスとして入力してデコードしリード系の第2のワード線を選択する第2のXデコーダ（111R）と、前記第2のアドレス保持回路（136）から出力されるライト系の列アドレスを入力し、リード／ライト及びリフレッシュ制御回路（133）からのライト系のリフレッシュ制御信号で活性化が制御される第1のYデコーダ（112W）と、リード／ライト及びリフレッシュ制御回路（133）からのライト系のリフレッシュ制御信号で活性化が制御され、ライト系の前記第1のビット線に接続される第1のセンスアンプ（113W）と、前記第2のアドレス保持回路（136）の出力端子からのリード系の列アドレスを入力し、リード／ライト及びリフレッシュ制御回路（133）からのリード系のリフレッシュ制御信号で活性化が制御される第2のYデコーダ（112R）と、リード／ライト及びリフレッシュ制御回路（133）からのリード系のリフレッシュ制御信号で活性化が制御され、リード系の前記第2のビット線に接続される第2のセンスアンプ（113R）と、を備えている。

【0027】

そして、本発明に係る半導体記憶装置は、その好ましい一実施の形態において、リフレッシュアドレスと、アドレス保持回路に保持されるライトアドレスの行アドレスとが一致するか否か比較判定し、判定の結果、不一致の場合には、前記ライトアドレスで選択されるメモリセルのライト系に対応するワード線及びビット線を用いたライト動作と、前記リフレッシュアドレスで選択されるメモリセルのリード系のワード線とビット線、及び、リード系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御し、前

記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記ライト動作を行うように制御する構成としてもよい。

【0028】

本発明において、前記セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の時点で、前記リフレッシュアドレスと、前記ライトアドレスの行アドレスとが一致するか否か比較判定する構成とするとよい。

【0029】

本発明の別の実施の形態において、第1のアドレス保持回路（130A）は、ライト系の行アドレスを予め定められた所定数のライトサイクル分遅延させて出力する前の時点で、リフレッシュアドレスと一致するか否か比較判定する一致検出回路（322）を備えている。

【0030】

第1のアドレス保持回路（130A）は、アドレス端子より入力されたアドレス信号の行アドレス信号を内部クロック信号でサンプルする入力段のラッチ回路（311）と、ライトサイクル時に活性化される書き込み制御用のクロック信号に基づき入力端子の信号をラッチして出力端子から出力するラッチ回路を複数段縦続形態に接続して構成され、初段の前記ラッチ回路が入力端子から前記入力段のラッチ回路の出力信号を入力し、最終段のラッチ回路が出力端子から前記入力段のラッチ回路の出力信号を所定数のライトサイクル分遅延させて出力するライトアドレス保持回路とを備え、前記ライトアドレス保持回路の最終段のラッチ回路よりも前段のラッチ回路の出力信号と、リフレッシュアドレス信号とが一致するか否か比較判定する一致検出回路（322）と、前記ライトアドレス保持回路の最終段のラッチ回路よりも前段のラッチ回路の出力信号と、前記入力段のラッチ回路の出力信号とが一致するか否か比較判定する少なくとも1つの一致検出回路（320、321）と、リフレッシュアドレスと、前記入力段のラッチ回路の出力を入力し、リフレッシュ制御信号を選択制御信号として、リフレッシュ制御信号が活性化されているときリフレッシュアドレスを選択し、リフレッシュ制御信号が非活性化のとき、前記入力段のラッチ回路の出力を選択して出力する選択回路（318）と、を備えている。

【 0 0 3 1 】

本発明においては、リード／ライト及びリフレッシュ制御回路（1 3 3）は、第 1 のアドレス保持回路（1 3 0 A）における一致検出回路（3 2 2）での判定結果を入力し、ライト系の行アドレスと、前記リフレッシュアドレスのうち不一致のビットが 1 つでもある場合、リフレッシュ動作を制御する第 1 のリフレッシュ制御信号を活性化し、ライト系のアドレスで選択されるライト系に対応するワード線とビット線を用いたライト動作と、前記リフレッシュアドレスで選択されるリード系に対応するワード線とビット線、及び、リード系に対応するセンスアンプを用いたリフレッシュ動作とが、同一サイクルで並行して行われるように制御する。

【 0 0 3 2 】

本発明に係る半導体記憶装置の一実施の形態において、リフレッシュ周期を規定するトリガ信号を生成するタイマー（図 1 の 1 2 8）と、前記タイマーからのトリガ信号に基づきリフレッシュアドレスを生成するリフレッシュアドレス生成回路（図 1 の 1 2 9）と、を備え、セルフリフレッシュ機能を具備し、クロック同期型のスタティックランダムアクセスメモリのインタフェースに互換とされる。

【 0 0 3 3 】

本発明の一実施の形態においては、2 ポートの D R A M セルを用いることにより、リード／ライトと、リフレッシュとを同時に行うことができる。このため、本発明の実施の形態に係る半導体記憶装置においては、リフレッシュによる中断無く、リード／ライト動作を交互に連続して行うことができる。したがって、本発明は、リード動作とライト動作を交互に行える仕様が要求される、高性能通信アプリケーション用の Q D R S R A M 互換の半導体記憶装置として適用できる。一方、前述したように、上記特許文献 1 には、2 ポート D R A M セルを用いる旨の記載はなく、リードライト／サイクルの間に必ず、リフレッシュ・サイクルを挿入する必要がある、通信用の用途として、従来の Q D R S R A M に置きかえることはできない。

【 0 0 3 4 】

【実施例】

上記した本発明の実施の形態について、さらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例をなす、クロック同期型の半導体記憶装置の構成を示す図である。セルアレイはDRAMセルよりなり、例えばQDR (Quad Data Rate) 仕様等に準拠するクロック同期型SRAMにインタフェース互換として好適とされる。

【0035】

図1を参照すると、複数のメモリセルを有するセルアレイ100において、1つのメモリセルは、ライト系のビット線B(WF)と、リード系のビット線B(RF)間に直列形態に接続される第1及び第2のメモリセルトランジスタ(スイッチトランジスタ)Tr1、Tr2を有し、第1及び第2のメモリセルトランジスタTr1、Tr2の接続点に、データ蓄積用の容量素子Cの一端が接続され、容量素子Cの他端はGND電位に接続されている。第1及び第2のメモリセルトランジスタTr1、Tr2のゲート端子は、ライト系のワード線W(WF)、及びリード系のワード線W(RF)にそれぞれ接続されている。

【0036】

第1のワード線W(WF)は、ライトアドレスの行アドレス又はリフレッシュアドレスをデコードする第1のXデコーダ(WF)111Wのワードドライバ(不図示)に接続され、第2のワード線W(RF)は、リードアドレスの行アドレス又はリフレッシュアドレスをデコードする第2のXデコーダ(RF)111Rのワードドライバ(不図示)に接続されている。

【0037】

第1、第2のXデコーダ111W、111Rは、セルアレイ100を間にして対向配置されている。

【0038】

第1のビット線B(WF)は、第1のセンスアンプ/プリチャージ回路113Wに接続され、第2のビット線B(RF)は、第2のセンスアンプ/プリチャージ回路113Rに接続されている。第1、第2のセンスアンプ113W、113Rはセルアレイ100を間にして対向して配置されている(図の上下)。

【0039】

半導体記憶装置外部から半導体記憶装置のクロック端子に供給されるクロック信号CLKを入力とする入力バッファ121は、内部クロック信号Kとその相補信号/K（図で、信号名の上のバー記号は、該信号名の信号の相補信号を表す）を出力する。

【0040】

半導体記憶装置外部より半導体記憶装置のアドレス端子に供給されるアドレス信号Addの行アドレスを入力とする入力バッファ122は、行アドレスAddEを出力する。

【0041】

コマンド判定回路127は、LOWレベルでアクティブのリード信号/R、ライト信号/Wと内部クロック信号Kを入力し、コマンドをデコードし、リード、ライト制御信号R/W、クロック信号KW、クロック信号KDINを出力する。

【0042】

タイマー128は、リフレッシュの周期を規定するリフレッシュトリガ信号（「トリガ信号」ともいう）Tを生成する。

【0043】

リフレッシュアドレス生成回路129は、タイマー128からのトリガ信号Tをうけてカウント値をたとえば1インクリメントするカウンタよりなり、カウント値はリフレッシュアドレスADFとして出力される。

【0044】

レジスタ（REG X2）130は、入力バッファ122からの外部アドレスの行アドレスと、クロック信号K、KWを入力し、ライトアドレスADWとリードアドレスADRを保持出力する。

【0045】

マルチプレクサ131は、レジスタ（REG X2）130から出力されるライトアドレスADWとリードアドレスADRを入力し、リード、ライト制御信号R/Wを選択制御信号として入力し、ライトアドレスADWとリードアドレスADRの一方を選択して出力する。

【0046】

アドレス比較回路132は、マルチプレクサ131から出力されるリード又はライトアドレスの行アドレスと、リフレッシュアドレス生成回路129から出力されるリフレッシュアドレスとを入力とし、これら2つのアドレスが一致するか否か比較判定する。

【0047】

アドレス比較回路132における比較結果は信号H I T Eとして出力され、R／W&リフレッシュコントロール回路133に供給される。

【0048】

R／W&リフレッシュコントロール回路133は、アドレス比較回路132での比較結果信号H I T E、タイマー128からのトリガ信号T、リード、ライト制御信号R／W、内部クロック信号Kを入力し、ライト系のリフレッシュ制御信号WE／F E、リード系のリフレッシュ制御信号RE／F Eを出力する。ライト系のリフレッシュ制御信号WE／F Eは、ライト系のデコーダ、センスアンプを用いたリフレッシュ又はライト動作を制御し、リード系のリフレッシュ制御信号RE／F Eは、リード系のデコーダ、センスアンプを用いたリフレッシュ又はリード動作を制御する。

【0049】

レジスタ（REG X2）130は、外部から入力された行アドレスが、1つのライトサイクル分前に入力され、レジスタ130内に保持されている行アドレスと一致しているときに、第1の一致検出信号（第1のヒット信号）H I T 1を活性化し、外部から入力された行アドレスが、2つのライトサイクル分前に入力され、レジスタ130内に保持されている行アドレスと同じであるとき、第2の一致検出信号（第2のヒット信号）H I T 2を活性化する。

【0050】

アドレス端子（不図示）に供給されるアドレス信号を入力とする入力バッファ123の出力（列アドレス）を入力とするレジスタ（REG Y2）136は、リード、ライト信号R／W、ライト用クロック信号KWを入力し、ライトアドレスADW（列アドレス）を2つのライトサイクル分遅らせて出力し、Yデコーダ

1 1 2 W に供給し、リードアドレス A D R （列アドレス）は、そのまま出力して、Y デコーダ 1 1 2 R に供給する。

【 0 0 5 1 】

レジスタ 1 3 6 では、レジスタ 1 3 0 と同様、外部から入力された列アドレスが 1 つのライトサイクル分前の列アドレスと同じであるとき、第 1 の一致検出信号 H I T 1 を活性化し、外部から入力された列アドレスが 2 つのライトサイクル分前の列アドレスと同じであるとき、第 2 の一致検出信号 H I T 2 を活性化する。

【 0 0 5 2 】

ヒット判定回路 1 3 7 は、レジスタ 1 3 0 とレジスタ 1 3 6 からの行アドレスと、列アドレスに関する第 1、第 2 の一致検出信号 H I T 1 と H I T 2 をそれぞれ入力し、読み出しデータの出力回路に供給するデータを選択するためのマルチプレクサ 1 4 3 に対して、選択制御信号を出力する。

【 0 0 5 3 】

データ入力端子 D i n に接続される入力バッファ 1 2 4 からシリアルに出力されるデータ信号（書き込みデータ）は、クロック信号 K と相補クロック信号 / K をサンプリングクロックとするシリアル・パラレル変換回路 1 3 9 に取り込まれ、シリアル・パラレル変換回路 1 3 9 から出力される 4 ビットのパラレル信号は、クロック信号 K D I N の立ち下がりエッジでサンプリングするレジスタ 1 4 1 に取り込まれる。またレジスタ 1 4 1 の出力信号は、クロック信号 K D I N を立ち上がりエッジでサンプリングするレジスタ 1 4 2 で取り込まれる。レジスタ 1 4 1 とレジスタ 1 4 2 の 4 ビット出力信号は、マルチプレクサ 1 4 3 の 2 つの入力端子にそれぞれ入力される。

【 0 0 5 4 】

マルチプレクサ 1 4 3 は、選択制御信号に基づき、リードバス R B U S、レジスタ 1 4 1、1 4 2 の出力の一つを選択する。

【 0 0 5 5 】

レジスタ 1 4 2 の出力信号をクロック信号 K D I N の立ち上がりでサンプルするレジスタ 1 4 4 の出力信号は、ライトバス W B U S を介して、Y デコーダ 1 1

2 Wに入力される。

【0 0 5 6】

レジスタ 1 3 0 とレジスタ 1 3 6 からの第 1 の一致検出信号 H I T 1 がともに活性化され、1 サイクル前のライトサイクルと同じリードアドレスの場合、ヒット判定回路 1 3 7 からの選択制御信号に基づき、マルチプレクサ 1 4 3 において、レジスタ 1 4 1 の出力が選択されるように切替制御する。

【0 0 5 7】

レジスタ 1 3 0 とレジスタ 1 3 6 からの第 2 の一致検出信号 H I T 2 がともに活性化され、2 サイクル前のライトサイクルと同じリードアドレスの場合、ヒット判定回路 1 3 7 からの選択制御信号に基づき、マルチプレクサ 1 4 3 において、レジスタ 1 4 2 の出力が選択されるように切替制御する。

【0 0 5 8】

第 1 の一致検出信号 H I T 1 と第 2 の一致検出信号 H I T 2 がともに非活性の場合のリードサイクルにおいて、ヒット判定回路 1 3 7 からの選択制御信号に基づき、マルチプレクサ 1 4 3 において、センスアンプ 1 1 3 R、Y デコーダ 1 1 2 R を介して、リードバス R B U S に出力された読み出しデータを選択するように制御する。

【0 0 5 9】

マルチプレクサ 1 4 3 からの出力信号（4 ビットパラレル信号）は、レジスタ 1 4 0 に入力され、内部クロック信号 K とその相補信号 \overline{K} を用いて、パラレル・シリアル変換され、1 クロックサイクルあたり、4 つのデータが、出力バッファ 1 2 5 からデータ出力端子 D o u t に出力される。

【0 0 6 0】

本実施例の動作の概要を説明する。レジスタ 1 3 0、1 3 6 は、入力バッファ 1 2 2 から入力されたライトアドレスを、2 ライトサイクル分遅延させて出力する。

【0 0 6 1】

R/W&リフレッシュコントロール回路 1 3 3 は、レジスタ 1 3 0 からの信号をマルチプレクサ 1 3 1 で選択したアドレス信号とリフレッシュアドレスが一致

しないとき（より詳しくはm本の行アドレスのうちいずれか1本でもリフレッシュアドレス信号と一致しない場合）、R/W信号がリードを示すときは、ライト系のリフレッシュ制御信号WE/F Eを活性化させ、R/W信号がライトを示すときは、リード系のリフレッシュ制御信号RE/F Eを活性化させる。ライト動作のときは、2ライトサイクル前に入力されたライトアドレスに対するデータ（該データは、2ライトサイクル前にデータ入力端子D i nより入力され、レジスタ144から出力され、ライトバスWBUSを介してYデコーダ112Wに供給される）のメモリセルへの書き込み動作（ライト系のXデコーダ111Wと、ライト系のビット線B（WF）、ライト系のセンスアンプ（ライトアンプ）SA/PC（WF）による書き込み動作）と、リード系のXデコーダ111Rと、リード系のビット線B（RF）、リード系のセンスアンプSA/PC（RF）113Rによるメモリセルのリフレッシュ動作とが同時に行われる。

【0062】

なお、前述したように、レジスタ130は、1、2ライトサイクル前に外部より入力されレジスタ130に保持されているライトアドレス（行アドレス）と、外部より入力されたアドレス（行アドレス）が一致する場合、第1、第2の一致検出信号H I T 1、H I T 2をそれぞれ活性状態とする。レジスタ136は、1、2ライトサイクル前に外部より入力されレジスタ136に保持されているライトアドレス（列アドレス）と、外部より入力されたアドレス（列アドレス）が一致する場合、第1、第2の一致検出信号H I T 1、H I T 2を活性状態とする。

【0063】

リードサイクルにおいて、レジスタ130とレジスタ136からの第1、第2の一致検出信号H I T 1、H I T 2がともに非活性状態のとき、ヒット判定回路137は、マルチプレクサ143において、リードバスRBUSの読み出しデータを選択出力させ、マルチプレクサ143の出力信号は、レジスタ140でラッチされ、パラレル・シリアル変換され、出力バッファ125から、データ出力端子D o u tに出力される。

【0064】

1、又は2ライトサイクル分のライトアドレスの行及び列アドレスと、外部よ

り入力されたリードアドレスの行及び列アドレスが一致する場合、レジスタ 130 とレジスタ 136 からの H I T 1 又は H I T 2 が活性化される。ヒット判定回路 137 では、第 1 の一致検出信号 H I T 1 が活性化されている場合、読み出しデータとして、レジスタ 141 に保持されている書き込みデータを、マルチプレクサ 143 で選択し、一方、第 2 の一致検出信号 H I T 2 が活性化されている場合、読み出しデータとしてレジスタ 142 に保持されている書き込みデータを、マルチプレクサ 143 で選択し、マルチプレクサ 143 の出力信号は、レジスタ 140 でラッチされ、パラレル・シリアル変換されて、出力バッファ 125 からデータ出力端子 D o u t に出力される。

【0065】

図 1 のレジスタ 130 の構成のいくつかの例について以下に説明する。図 2 は、図 1 のレジスタ 130 の構成の一例を示す図である。

【0066】

図 2 を参照すると、外部アドレス A d d (行アドレス) を内部クロック信号 K の立ち上がりエッジでサンプルするラッチ回路 301 と、ラッチ回路 301 の出力信号を書き込み動作のクロック信号 K W の立ち下がりエッジ (内部クロック信号 K の立ち上がりと同一サイクル内) でラッチするラッチ回路 302 と、ラッチ回路 302 の出力信号を、書き込み動作のクロック信号 K W の立ち上がりエッジ (クロック信号 K W の立ち下ったのち次のライトサイクルでのクロック信号 K W の立ち上がり) でラッチするラッチ回路 303 と、ラッチ回路 303 の出力信号を、書き込み動作のクロック信号 K W の立ち下がりエッジでラッチするラッチ回路 304 と、ラッチ回路 304 の出力信号を書き込み動作のクロック信号 K W の立ち上がりエッジでラッチするラッチ回路 305 と、ラッチ回路 305 の出力信号を内部クロック信号 K の立ち下がりエッジでラッチするラッチ回路 306 と、ラッチ回路 301 の出力信号を内部クロック信号 K の立ち下がりエッジでラッチするラッチ回路 307 と、を備え、ラッチ回路 306 とラッチ回路 307 の出力は、それぞれ、アドレス信号 A D W、A D R として出力される。このレジスタ 130 (図 1 参照) は、さらに、一致検出回路 308、309 を備えている。

【0067】

一致検出回路 308 は、ラッチ回路 301 の出力信号を内部クロック信号 K の立ち下りでラッチするラッチ回路 307 の出力信号と、ラッチ回路 301 の出力信号を書き込み動作のクロック信号 KW の立ち下がりエッジでサンプルするラッチ回路 302 の出力信号とが互いに一致するか否か比較し、一致した場合、LOW レベルを出力する。

【0068】

一致検出回路 309 は、このラッチ回路 307 の出力信号と、ラッチ回路 304 の出力（2つのサイクル前のライトアドレス）が一致するか否か比較し、一致した場合、LOW レベルを出力する。

【0069】

一致検出回路 308、309 の出力は、第 1、第 2 の一致検出信号 HIT1、HIT2 として出力される。

【0070】

ラッチ回路 301 は、内部クロック信号 K の LOW から HIGH レベルへの立ち上がりで、アドレス Add をラッチし、出力段のラッチ回路 306、307 は、同一サイクルでの内部クロック信号 K の HIGH レベルから LOW レベルへの立ち下がりですべての入力をラッチ出力する。

【0071】

書き込み制御用のクロック信号（KW）の立ち下りエッジと立ち上がりエッジでそれぞれデータをサンプルする 2つのラッチ回路 302、303 と、2つのラッチ回路 304、305 の組は、ライトアドレスをレイトライトの仕様に従い、この場合、2ライトサイクル分遅延させる、タイミング調整用のライトアドレス保持回路として機能する。このライトアドレス保持回路を構成する最終段のラッチ回路 305 は、書き込み制御用のクロック信号 KW の立ち上がり、すなわちラッチ回路 300 でサンプルされてから、2つのライトサイクル分遅れた時点でライトアドレスを出力し、ラッチ回路 306 は当該ライトサイクルにおける内部クロック信号 K の立ち上がりでアドレス ADW を出力する。

【0072】

次に、図 2 に示したレジスタ（図 1 の 130）の動作について概説する。リー

ド動作のとき、クロック信号KWのクロックパルスは生成されず（例えばLOWレベルに保持される）、ラッチ回路301の出力は、4段のラッチ回路302、303、303、305に転送されない。

【0073】

一致検出回路308は、ラッチ回路302の出力（1ライトサイクル分前のライトアドレス）と、ラッチ回路307の出力（現サイクルで入力されたアドレス）とが一致するか否かを比較し、一致した場合、LOWレベルを出力し、不一致の場合、HIGHレベルを出力する。

【0074】

一致検出回路309は、ラッチ回路304の出力（2ライトサイクル分前のライトアドレス）と、ラッチ回路307の出力（現サイクルのアドレス）が一致するか否かを比較し、一致した場合、LOWレベルを出力し、不一致の場合、HIGHレベルを出力する。

【0075】

なお、図2においては、簡単のため、ラッチ回路301～307、一致検出回路308～309への入力として、1本の信号線で示されているが、行アドレス信号のビット幅分（例えばm本）の信号線がそれぞれ入力される。

【0076】

列アドレスをラッチしてライトアドレスADWと、リードアドレスADRを、Yデコーダ112W、112Rに供給するレジスタ136も、図2と同様の構成とされる。

【0077】

図3は、図1に示した半導体記憶装置の動作を説明するためのタイミング図である。図3において、CLKは、入力バッファ121へ入力されるクロック信号、Addは、図1の入力バッファ122へ入力されるアドレス信号、R/Wはリード／ライト制御信号、DINはデータ入力端子から入力されるデータ信号、KWは書き込み用のクロック信号、WBUSはライトバス（上のパラレルデータ）、W(WF)はライト系のワード線、W(RF)は、リード系のワード線、RBUSはリードバス（上のパラレルデータ）、Doutはデータ出力端子からの出

力データ、Tはリフレッシュトリガ信号、ADFは、リフレッシュアドレス信号である。

【0078】

外部行アドレスAddがA0、A1、A2、…、A7でライト、リード、ライトサイクルが交互に行われるものとする。リフレッシュアドレスAddFは、An-1、An、…とされる。

【0079】

DIN端子からは、1クロックサイクルにおいて、クロック信号の立ち上がりと立ち下がり両エッジで2つのデータが入力され、内部クロック信号Kを2分周したサイクルの書き込み制御信号KWにより、2クロックサイクルにおいて、4つのデータD00、D01、D02、D03が、ライトバスWBUSに出力され（WBUS上のD0で示す）、タイミングt4で始まるクロックサイクルにて、アドレスA0（アドレスA0はタイミングt0のサイクルでアドレス端子から入力されている）への書き込みが行われる。

【0080】

またタイミングt1で始まるクロックサイクルでは、アドレスA1のセルデータの読み出しが行われ、タイミングt2で始まるクロックサイクルで、リードバスRBUSへ4ビットデータ（Q1）が並列に出力され、2つのクロックサイクルで、4つの読み出しデータQ10、Q11、Q12、Q13がデータ出力端子Doutからシリアルに出力される。

【0081】

またタイミングt3で始まるクロックサイクルでは、アドレスA3のセルデータの読み出しが行われ、タイミングt4で始まるクロックサイクルで、リードバスRBUSへ4ビットデータ（Q3）が並列に出力され、2つのクロックサイクルで、4つの読み出しデータQ30、Q31、Q32、Q33がデータ出力端子Doutからシリアルに出力される。

【0082】

タイミングt5で始まるクロックサイクルでは、同一クロックサイクル内で、アドレスA5からのセルデータの読み出しが行われ、リードバスに読み出しデ

ータ Q 5 (4 ビット) が出力され、タイミング t 6 で始まるクロックサイクルで、データ出力端子 D o u t より読み出しデータ Q 5 0 が出力される。

【 0 0 8 3 】

また、タイミング t 3 のクロックサイクルでは、ライト系のポートを用いたリフレッシュアドレス A x のリフレッシュ動作と、リード系のリード動作が同一サイクル内で行われており、タイミング t 6 のクロックサイクルでは、アドレス A 2 のライト動作と、リード系のポートを用いたアドレス A Y のリフレッシュ動作とが同一サイクルで行われている。

【 0 0 8 4 】

なお、ここで、センスアンプ 1 1 3 W の動作開始が電源ノイズとなってセンスアンプ 1 1 3 R で増幅する前のビット線 B (R F) の電位に影響を与えたり、センスアンプ 1 1 3 R の動作開始が電源ノイズとなってセンスアンプ 1 1 3 W で増幅する前のビット線 B (W F) の電位に影響を与えたりしないように、W (W F) と W (R F) は同時に立ち上がるように R / W & リフレッシュコントロール回路 1 3 3 により制御される。リードサイクルにおいて、リフレッシュアドレス A X が外部行アドレス A 3 と一致しない場合 ($A X \neq A 3$)、リード用のワード線 W (R F) が活性化され、ビット線 B (R F) に接続するセンスアンプ 1 1 3 R による読み出しが行われる。また、リフレッシュ制御信号 W E / F E が活性化されてリフレッシュを指示し、リフレッシュアドレス A X に対応するライト系のワード線 W (W F) が活性化され、ワード系のポートにおいて、センスアンプ 1 1 3 W の活性化によるリフレッシュ動作が行われる。

【 0 0 8 5 】

一方、リードサイクルにおいて、リフレッシュアドレス A X が外部行アドレス A 3 と一致する場合、リフレッシュ動作は、中止される。

【 0 0 8 6 】

ライトサイクルにおいて、リフレッシュアドレス A Y が外部行アドレス A 2 と一致しない場合 ($A Y \neq A 2$)、ライト系のワード線 W (W F) が活性化され、ビット線 B (W F) に接続するセンスアンプ 1 1 3 W による書き込みが行われる。また、リフレッシュ制御信号 R E / F E が活性化され、リフレッシュアドレス

A Y に対応するリード系のワード線 W (R F) が活性化され、リード系のポートにおいて、センスアンプ 1 1 3 R の活性化によるリフレッシュが行われる。ライトサイクルにおいて、リフレッシュアドレス A Y が外部行アドレス A 2 と一致する場合 (A Y = A 2) 、リフレッシュ動作は中止される。

【 0 0 8 7 】

図 4 は、図 1 のレジスタ 1 3 0 の別の構成の一例を示す図である。図 4 を参照すると、このレジスタは、外部アドレス A d d E を内部クロック信号 K の立ち上がりエッジでサンプルするラッチ回路 3 1 1 と、ラッチ回路 3 1 1 の出力信号を内部クロック信号 K の立ち下がりエッジでラッチするラッチ回路 3 1 7 と、ラッチ回路 3 1 1 の出力信号を書き込み動作のクロック信号 K W の立ち下がりエッジでラッチするラッチ回路 3 1 2 と、ラッチ回路 3 1 2 の出力信号を書き込み動作のクロック信号 K W の立ち上がりエッジでラッチするラッチ回路 3 1 3 と、ラッチ回路 3 1 3 の出力信号を書き込み動作のクロック信号 K W の立ち下がりエッジでラッチするラッチ回路 3 1 4 と、ラッチ回路 3 1 4 の出力信号を書き込み動作のクロック信号 K W の立ち上がりエッジでラッチするラッチ回路 3 1 5 と、ラッチ回路 3 1 5 の出力信号を、内部クロック信号 K の立ち下がりエッジでラッチするラッチ回路 3 1 6 を備えており、ラッチ回路 3 1 1 の出力信号と、リフレッシュアドレス A d d F を入力とし、リフレッシュ制御信号 R F C が活性化されているとき (リフレッシュを示すとき) 、リフレッシュアドレス A d d F を選択し、リフレッシュ制御信号 R F C が非活性化されているとき、ラッチ回路 3 1 1 の出力信号を選択するマルチプレクサ 3 1 8 と、マルチプレクサ 3 1 8 の出力信号を、内部クロック信号 K の立ち下がりエッジでラッチするラッチ回路 3 1 9 を備えている。このレジスタは、一致検出回路 3 2 0 、 3 2 1 、 3 2 2 を備えている。

【 0 0 8 8 】

一致検出回路 3 2 0 は、ラッチ回路 3 1 2 の出力信号 (ライトアドレス) とラッチ回路 3 1 7 の出力が一致するか否か比較し、一致した場合、第 1 の一致検出信号 H I T 1 を活性化して (L O W レベルとして) 出力し、不一致の場合、 H I G H レベルの第 1 の一致検出信号 H I T 1 を出力する。

【0089】

一致検出回路321は、ラッチ回路314の出力信号とラッチ回路317の出力が一致するか否か比較し、一致した場合、第2の一致検出信号HIT2を活性化して（LOWレベルとして）出力し、不一致の場合、HIGHレベルの第2の一致検出信号HIT2を出力する。

【0090】

一致検出回路322は、ラッチ回路314の出力信号（ライトアドレス）と、リフレッシュアドレスAddFが一致するか否か比較し、一致した場合、一致検出信号（リフレッシュアドレスとライトアドレスの一致を示す信号）HITWを活性化して（LOWレベルとして）出力し、不一致の場合、HIGHレベルの一致検出信号HITWを出力する。

【0091】

書き込み制御用のクロック信号KWの立ち下りエッジと立ち上がりエッジでそれぞれデータをサンプルする2つのラッチ回路312、313と、2つのラッチ回路314、315の組は、ライトアドレスをレイトライトの仕様に従い、この場合、2ライトサイクル分遅延させるライトアドレス保持回路として機能する。このライトアドレス保持回路を構成する最終段のラッチ回路315は、書き込み制御用のクロック信号KWの立ち上がりで、ラッチ回路311でサンプルされてから2つのライトサイクル分遅れたタイミングで出力し、ラッチ回路316は内部クロック信号Kの立ち下り書き込み信号ADWF（図1のADWFに対応）を出力する。

【0092】

ラッチ回路319は、マルチプレクサ318の出力を入力とし、内部クロック信号Kの立ち下りエッジでラッチ出力する。

【0093】

2つのライトサイクル前の書き込みアドレスと、リフレッシュアドレスとが一致した場合、図1のR/W&リフレッシュコントロール回路133に供給される信号HITWをLOWレベルとして、リフレッシュ動作を止める。すなわち、信号HITWを受けるR/W&リフレッシュコントロール回路133は、リフレッ

シュ制御信号 F C を非活性化状態とし、リフレッシュ動作を止める。

【 0 0 9 4 】

図 2 に示したレジスタの構成と相違して、図 4 に示したレジスタにおいては、リフレッシュは、セルアレイのリード系ポートでのみ実行する。このため、リフレッシュアドレスと外部アドレスが一致するかの判定は、ライトアドレスについての判定のみを行う構成とされており、図 4 に示したレジスタにおいて、セルアレイへの書き込み動作が行われる前のサイクルで、リフレッシュアドレスと当該ライトアドレスとが一致するか否かの判定が行われる。

【 0 0 9 5 】

なお、列アドレスを保持するレジスタ（図 1 の 1 3 6）は、図 2 に示した構成と同様とされる。

【 0 0 9 6 】

図 5 は、図 4 に示した実施例のレジスタ 1 3 0 A を用いた場合のリフレッシュコントロール回路の構成の一例を示す図である。図 5 を参照すると、図 4 に示したレジスタ 1 3 0 A からの H I T W 信号を、行アドレス信号分（A0～Am）入力し、これらの信号の否定論理和（N O R）演算結果をリフレッシュ制御信号 R F C として出力する論理ゲート 1 4 5 を備え、R / W & リフレッシュコントロール回路 1 3 3 は、論理ゲート 1 4 5 の出力と、内部クロック信号 K と、リフレッシュトリガ信号 T、R / W 信号を入力とし、ライト系、リード系のリフレッシュ動作を制御する信号 W E / F E、R E / F E を出力する。

【 0 0 9 7 】

論理ゲート 1 4 5 は、行アドレス信号（A0～Am）の本数分の信号 H I T W を入力し、H I T W がすべて L O W レベル（一致）のとき、H I G H レベルのリフレッシュ制御信号 R F C を出力する。

【 0 0 9 8 】

なお、図 4 では、説明のため、リフレッシュアドレスと、2 つのライトサイクル相当前に入力されたライトアドレスとの一致を検出する一致検出回路（図 4 の 3 2 2）を 2 ビット入力の排他的論理和とし、行アドレス信号（A0～Am）に対して、m 個の一致検出回路を備え、m 本の H I T E 信号が出力される構成を想定

している。一方、図4の一致検出回路322が、ラッチ回路314から並列出力されるmビットのライトアドレスと、レジスタ311から並列出力されるmビットのリフレッシュアドレスとが一致するか比較し、1ビットの信号H I T Eを出力する回路構成とされている場合、図5の論理ゲート145は、1ビットの信号H I T Wを入力とするインバータで置き換えられる。

【0099】

なお、図5に示す構成では、論理ゲート145に入力されるH I T W信号として、図4を参照して説明した、ラッチ回路314から出力されるライトアドレスと、リフレッシュアドレスを1サイクル前に判定しておく構成とし、信号H I T Wの信号経路の遅れ（外部アドレスとリフレッシュアドレスの比較時間）を、見えなくしている。すなわち、内部クロック信号Kの立ち上がりから、リフレッシュ制御信号R F Cの立ち上がりまでの信号の時間を短縮している。

【0100】

図6は、図5に示したR/W&リフレッシュコントロール回路133の動作を説明するためのタイミング図である。

【0101】

前述したように、この実施例においては、リフレッシュは、リード系のポートでしか実行しない。このため、リフレッシュアドレスとライトアドレス（行アドレス）が一致するか否かの判定のみとなり、レジスタ130Aにおいて、ライトアクセスが開始される前のサイクルでアドレスの一致の検出が行われる。すなわち、図6において、タイミングt2とt3のサイクルにおいて、タイミングt3から始まるライトサイクルのアドレスA-1とリフレッシュアドレスが一致するかを判定し、不一致の場合、図4において、リフレッシュ制御信号R F Cに基づき、マルチプレクサ318はリフレッシュアドレスA d d Fを選択出力し、A D R FとしてリフレッシュアドレスA d d Fを出力する。タイミングt3からのクロックサイクルにおいて、リフレッシュアドレスA d d Fに基づきリード系のワード線W（R F）が選択されてリフレッシュが行われ、アドレスA-1に対応するセルの書き込みが行われる。この実施例では、ライトアドレスとリフレッシュアドレスを、ライトサイクルの開始前に比較する構成とし、リードアドレスと、

2つのライトサイクル分遅延させたライトアドレスの一方を選択し、リフレッシュアドレスと比較する構成と比べて、高速化できる。

【0102】

図7は、図4に示したレジスタ130Aを用いた全体の構成を示す図である。この実施例では、リフレッシュは、リード系ポートでのみ実行しており、レジスタ130Aにおいて、リフレッシュアドレスと外部アドレスが一致するかの判定は、ライトアドレスについての判定のみを行う構成とされる。本実施例において、レジスタ130Aでは、セルアレイ100への書き込み動作が行われる前のサイクルで、リフレッシュアドレスと当該ライトアドレスとが一致するか否かの判定が行われる。

【0103】

図7を参照すると、本実施例においては、レジスタ130Aの一致検出回路322（図4参照）からの比較結果信号HITWと、リード／ライト動作を指示する制御信号R／Wとに基づき、リード系のリフレッシュ制御信号RE／FE、及び、ライト系の動作を制御する制御信号WE／FEを出力するR／W&リフレッシュコントロール回路133と、レジスタ130Aから出力されるライト系の行アドレスADWを入力してデコードしライト系の第1のワード線を選択するXデコーダ111Wと、レジスタ130Aのマルチプレクサ318から出力される行アドレスADRFとして入力してデコードし、リード系の第2のワード線を選択するXデコーダ111Rと、レジスタ136から出力されるライト系の列アドレスを入力してデコードするYデコーダ112Wと、レジスタ136から出力されるリード系の列アドレスを入力してデコードするYデコーダ112Rと、ライト系のリフレッシュ制御信号WE／FEで活性化が制御され、ライト系の前記第1のビット線に接続されるセンスアンプ113Wと、リード系のリフレッシュ制御信号RE／FEで活性化が制御され、リード系の前記第2のビット線に接続されるセンスアンプ113Rと、を備えている。

【0104】

図1に示した前記実施例では、ライト系ポートとリード系のポートのうち一方のポートで通常アクセス、他方のポートでリフレッシュ動作を切り替えて行って

いる。

【0105】

一方、図7に示した本実施例においては、ライト系のYデコーダ111W、センスアンプ113W、Xデコーダ111Wでは、ライト動作のみが実行され、リフレッシュ動作は行わず、リフレッシュはリード系ポートでのみ行われる。これ以外の構成は、図1に示した構成と同様とされる。

【0106】

図8は、QDR仕様のセルアレイのコアの構成の一例を示す図である。図8は、図7のセルアレイ100の構成に対応している。図8を参照すると、リードバスRBUSと、リードバスRBUSを駆動するドライバをなすYデコーダ(NMOSトランジスタNM101、NM102)、ライトバスWBUSと、ライトバスWBUSのレシーバとなるYデコーダ(NMOSトランジスタNM111、NM112)をそれぞれ、独立して専用回路として備え、バス配線の集中、相互干渉を回避でき、リード系、ライト系それぞれに回路を最適化することで、高速化を図ることができる。

【0107】

リードバスRBUSを駆動するリード用のYデコーダは、リードバスRBUSと相補のバス/RBUSとに出力(ドレイン)が接続され、ゲートに、ビット線B(RF)とその相補信号/B(RF)が接続され、共通ソースが、定電流源をなすNMOSトランジスタNM103を介して接地された差動対NMOSトランジスタNM101、NM102よりなり、NMOSトランジスタNM103のゲートには信号Y(R)が接続されている。

【0108】

リード系のセンスアンプSAは、ゲートとドレインが交差接続され、ソースが共通接続されて信号SAN(RF)に接続されたNMOSトランジスタNM104、NM105と、ゲートとドレインが交差接続され、ソースが共通接続されて信号SAP(RF)に接続されたPMOSトランジスタPM101、PM102と、を備え、PMOSトランジスタPM101とNMOSトランジスタNM104のドレインは互いに接続されビット線B(RF)に接続され、PMOSトラン

ジスタPM102とNMOSトランジスタNM105のドレインは互いに接続されビット線/B(RF)に接続されている。ビット線対B(RF)、/B(RF)をプリチャージするプリチャージ回路(PC)は、電源HDVV(ハーフVDD)とビット線対B(RF)、/B(RF)に接続されるNMOSトランジスタNM106、NM107と、ビット線対B(RF)、/B(RF)間に接続されるNMOSトランジスタNM108を備え、NMOSトランジスタNM106、NM107、NM108のゲートはリード系のプリチャージ制御信号PC(RF)に接続され、オン・オフ制御される。

【0109】

ライトバスWBUSからの信号を入力するレシーバをなすYデコーダは、ライトバスWBUSと相補のバス/WBUSと、ビット線対B(WF)、/B(WF)との間に接続され、ゲートには、信号Y(W)が接続されているNMOSトランジスタNM111、NM112を備えて構成されている。

【0110】

ライト系のセンスアンプSAは、ゲートとドレインが交差接続され、ソースが共通接続されて信号SAN(W)に接続されたNMOSトランジスタNM113、NM114と、ゲートとドレインが交差接続され、ソースが共通接続されて信号SAP(W)に接続されたPMOSTランジスタPM111、PM112と、を備え、PMOSTランジスタPM111とNMOSTランジスタNM113のドレインは、互いに接続されビット線/B(W)に接続され、PMOSTランジスタPM112とNMOSTランジスタNM114のドレインは互いに接続されビット線B(W)に接続されている。ビット線対B(W)、/B(W)をプリチャージするプリチャージ回路(PC)は、電源HDVV(ハーフVDD)とビット線対B(W)、/B(W)に接続されるNMOSTランジスタNM115、NM116と、ビット線対B(W)、/B(W)間に接続されるNMOSTランジスタNM117を備え、NMOSTランジスタNM115、NM116、NM117のゲートは、リード系のプリチャージ制御信号PC(RF)に接続され、オン・オフ制御される。

【0111】

ビット線B (W) にドレイン又はソースの一方が接続され、容量Cの一端にドレイン又はソースの他方が接続され、ワード線W (W) にゲートが接続されたメモリセルトランジスタNM1と、ビット線B (R F) に、ドレイン又はソースの一方が接続され、容量Cの一端にドレイン又はソースの他方が接続され、ワード線W (R F) にゲートが接続されたメモリセルトランジスタNM2とが1つのメモリセルを構成している。

【0 1 1 2】

図9は、本発明を適用したQDRのバースト長=2の動作の一例を説明するためのタイミング図である。

【0 1 1 3】

図9において、CLKは、図1の外部クロック信号CLK、Addは、図1のアドレス入力信号、R or Wはライト又はリード、DINはデータ入力端子に入力されるデータ、WBUSはライトバス（上のパラレルデータ）、W(RF)はリード系のワード線、RBUSはリードバス（上のパラレルデータ）、Doutはデータ出力端子からシリアル出力されるデータである。

【0 1 1 4】

クロック信号CLKの立ち上がりエッジからリードがスタートし、リード動作終了後、ライト動作を行う。必要に応じてリフレッシュ動作がライト動作と並行して行われる（タイミングt2で始まるクロックサイクルの後半のアドレスA2のライトとリフレッシュアドレスA4のリフレッシュ動作）。内部動作は、クロック信号CLKの倍速となる。

【0 1 1 5】

タイミングt1ではじまるクロックサイクルの前半のサイクルにおいて、アドレスA1でセルデータの読み出しが行われ、後半のサイクルからRBUSにデータQ1が出力され、タイミングt2ではじまるクロックサイクルにおいて、クロックの立ち上がりと立ち下がりに同期してデータ出力端子DoutからデータQ10、Q11がシリアルに出力される。t2ではじまるクロックサイクルの前半において、アドレスA3のセルデータの読み出しが行われる。またt2で始まるクロックサイクルの前半サイクルにおいて、リフレッシュアドレス(Ax)と次

にライトするアドレス (A_2) を比較し、 $A_2 \neq A_x$ なら、リード系ポートでのリフレッシュアドレス (A_x) のリフレッシュを行う。 $A_2 = A_x$ なら、リフレッシュを中止する。またタイミング t_1 ではじまるクロックサイクルの後半のサイクルにおいて、ライトバス WBUS の 2 ビットデータ D_0 に対するアドレス A_0 でデータ (D_0) の書き込みが行われ、タイミング t_2 で始まるクロックサイクルの後半サイクル (クロックの立ち下がり) において、ライトバス WBUS の 2 ビットデータ D_2 (D_{20} 、 D_{21}) に対するアドレス A_2 でデータの書き込みが行われる。

【0116】

図 10 は、QDR 仕様を内部コアで 2 クロックでリード、ライト同時動作させる構成の動作を示すタイミング図である。内部クロック信号 K ごとにライト、リードが交互に行われる。タイミング t_1 のサイクルの立ち上がり、立ち下がり、タイミング t_2 で始まるクロックサイクルの立ち上がり、立ち下がりに同期して、端子 DIN からデータ信号 D_{00} 、 D_{01} 、 D_{02} 、 D_{03} を入力し、タイミング t_3 のサイクルから 2 クロックサイクル分 WBUS に平行に出力し、アドレス A_0 で、4 つのセルアレイに、データ D_{00} 、 D_{01} 、 D_{02} 、 D_{03} が書き込まれる。また、同一の 2 クロックサイクル内で、4 つのメモリセルアレイからアドレス A_3 で 4 つのセルデータ Q_{30} 、 Q_{31} 、 Q_{32} 、 Q_{33} が RBUS に読み出され、平行・シリアル変換され、データ出力端子 Dout からシリアル出力される。また本実施例では、ワード線 $W(W)$ 、ワード線 $W(R)$ は、2 クロックサイクルにわたって活性化されており、このため、高周波動作が可能である。なお、図 10 のクロック信号 CLK は、リードバス RBUS の平行データを平行シリアル変換し、データ出力端子 Dout に出力させるためのトリガとなる内部クロック信号である。

【0117】

図 11 は、図 10 に示した動作を行わせるためのデータ読み出し回路の一例を示す図である。図 11 を参照すると、内部クロック信号 CLK に同期して転送される内部バス RBUS の 4 本の平行信号を入力とし、クロック信号に同期してシリアル信号を出力する平行・シリアル変換回路 138A と、平行

・ シリアル変換回路 138A の出力をクロック信号 CCLK を、同期遅延ループ回路 (Delay Locked Loop: 「DLL」 という) 147 で遅延させたクロック信号 CDDL でラッチするレジスタ 146 と、出力バッファ 125 を備えている。DLL 147 は、公知の任意の回路構成を用いることができる。例えば、DLL 147 は、第 1 の遅延回路と第 2 の遅延回路を有し、DLL 147 への入力信号は第 1 の遅延回路で遅延されて出力され、第 1 の遅延回路の出力を第 2 の遅延回路に投入し、第 2 の遅延回路の出力信号と第 1 の遅延回路への入力信号を位相検知器に投入して位相差を検知し、該検知された位相差に基づき第 1 の遅延回路の遅延時間を可変させる制御を行う公知の構成を用いても良く、あるいは、クロックの伝搬方向が互いに逆方向の第 1、第 2 遅延回路を備え、第 1 の遅延回路を一方向に所定時間進行したクロック信号が該進行箇所第 2 の遅延回路に転送され、逆方向に伝搬される構成の公知の同期型ミラー遅延回路等で構成してもよい。

【0118】

DLL 147 により、図 12 に示すように、クロック信号 CCLK と Dout の遅れ分を前倒ししてレジスタ 146 で取り込む。このためデータ出力端子 Dout からのデータ出力信号は、クロック信号 CCLK に遅れ無しで出力される。なお、DLL を用いたこの構成では、リフレッシュは、外部からの制御、もしくは、WAIT 設定が必要とされる。

【0119】

なお、上述した各実施例の変形として、図 1 のヒット (HIT) 判定回路 137 の出力により、R/W&リフレッシュコントロール回路 133 を制御し、ヒット (HIT) 判定回路 137 で一致を検出した場合には、セルアレイ 100 からの読み出しを禁止する構成としてもよい。

【0120】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0121】

【発明の効果】

以上説明したように、本発明によれば、ライト系のビット線、ワード線、スイッチトランジスタ、リード系のビット線、ワード線、スイッチトランジスタを有するデュアルポートDRAMセルを備え、リフレッシュアドレスと、リード／ライトアドレスとが異なる場合、リード／ライト動作とリフレッシュ動作を同時並行的に行うようにしたことにより、リフレッシュ動作のための非選択時間を設けることを不用とし、クロック同期型高速SRAMを、低コスト、チップ面積の縮減、低消費電力で実現することができる。

【0122】

本発明によれば、リフレッシュ動作を行うポートをリード系とライト系の2つのポートのいずれか一方に予め固定しておき、例えばリフレッシュアドレスとライトアドレスの行アドレスとを比較し、不一致の場合、ライト系ポートとリード系ポートとを用いてライト動作とリフレッシュ動作を同時並行的に行う構成とした場合、リフレッシュ動作を行うポートをリード系とライト系の2つのポートで切替可能とした場合の構成と比べて、回路構成を簡易化し、高速化に対応できる、という効果を奏する。

【0123】

また、本発明によれば、セルアレイにおいてライト動作が開始されるよりも前に、リフレッシュアドレスと、ライトアドレスとが一致するか否か比較判定する構成とし、リフレッシュアドレスのラッチのタイミングからリフレッシュ制御信号の出力までの信号パスの遅延を、みかけ上短縮し、高速化に対応可能としている。

【0124】

さらに、本発明によれば、複数の内部クロックサイクルにわたってワード線を選択する構成としたことにより、高速化した場合にも十分なタイミングマージンを確保可能としている。

【図面の簡単な説明】**【図1】**

本発明の一実施例の半導体記憶装置のセルアレイ及び全体の構成を示す図であ

る。

【図 2】

本発明の一実施例のレジスタ（REG X2）の構成の一例を示す図である。

【図 3】

本発明の一実施例の動作の一例を説明するためのタイミング図である。

【図 4】

本発明の第 2 の実施例のレジスタ（REG 3X）の構成の一例を示す図である。

【図 5】

本発明の第 2 の実施例におけるレジスタ及び R/W&リフレッシュコントロール回路の接続構成の一例を示す図である。

【図 6】

本発明の第 2 の実施例の動作の一例を説明するタイミング図である。

【図 7】

本発明の第 2 の実施例の半導体記憶装置のセルアレイ及び全体の構成を示す図である。

【図 8】

本発明の第 2 の実施例におけるセルアレイのコア回路の構成の一例を示す図である。

【図 9】

本発明の第 2 の実施例における動作（QDR バースト 2）の動作の一例を示すタイミング図である。

【図 10】

本発明の第 2 の実施例において、リード、ライトを 2 クロックサイクルかけて同時に実行させる場合の動作の一例を示すタイミング図である。

【図 11】

本発明の第 2 の実施例における読み出し回路の構成の一例を示す図である

【図 12】

図 10 の動作の一例を説明するためのタイミング図である。

【図 1 3】

従来の D R A Mセルの構成の一例を示す図である。

【符号の説明】

- 1 0 0 セルアレイ
- 1 1 1 R リード系の X デコーダ
- 1 1 1 W ライト系の X デコーダ
- 1 1 2 R リード系の Y デコーダ
- 1 1 2 W ライト系の Y デコーダ
- 1 1 3 R リード系のセンスアンプ／プリチャージ回路
- 1 1 3 W ライト系のセンスアンプ／プリチャージ回路
- 1 2 1 入力バッファ（クロック入力バッファ）
- 1 2 2 入力バッファ（アドレスバッファ）
- 1 2 3 入力バッファ（アドレスバッファ）
- 1 2 4 データ入力バッファ
- 1 2 5 データ出力バッファ
- 1 2 6 バッファ
- 1 2 7 コマンド判定回路
- 1 2 8 タイマー
- 1 2 9 リフレッシュアドレス生成回路
- 1 3 0 レジスタ
- 1 3 1、1 3 4、1 3 5 マルチプレクサ
- 1 3 2 アドレス比較回路
- 1 3 3 R／W&リフレッシュコントロール回路
- 1 3 6 レジスタ（R E G I Y）
- 1 3 7 ヒット（H I T）判定回路
- 1 3 8 パラレル・シリアル変換回路
- 1 3 9 シリアル・パラレル変換回路
- 1 4 0 レジスタ
- 1 4 1 ラッチ回路

1 4 2、1 4 4 レジスタ

1 4 3 マルチプレクサ

1 4 5 論理ゲート

1 4 6 レジスタ

1 4 7 D L L

2 0 1 ビット線（通常アクセス用）

2 0 2 ビット線（リフレッシュ用）

2 0 3 ワード線（通常アクセス用）

2 0 4 ワード線（リフレッシュ用）

2 0 5、2 0 6 メモリセルトランジスタ

2 0 7 キャパシタ

3 0 1～3 0 7 ラッチ回路

3 0 8、3 0 9 一致検出回路

3 1 1～3 1 7、3 1 9 ラッチ回路

3 1 8 マルチプレクサ

3 2 0～3 2 2 一致検出回路

A d d アドレス端子

B (R F) リード系ビット線

B (W F) ライト系ビット線

C データ蓄積用容量

C L K クロック信号

D i n データ入力端子

D o u t データ出力端子

H I T 1、H I T 2 ヒット信号

H I T E ヒット信号（アドレスとリフレッシュアドレス一致検出信号）

H I T W ヒット信号（ライトアドレスとリフレッシュアドレス一致検出信号

）

K 内部クロック信号

K D I N 入力データ制御信号

KW 書き込み制御信号

RBUS リードバス

RE/FE 読み出し/リフレッシュ制御信号

R/W リード/ライト制御信号

/R リード信号

Tr1 スイッチトランジスタ

Tr2 スイッチトランジスタ

W(RF) リード系ワード線

W(WF) ライト系ワード線

WBUS ライトバス

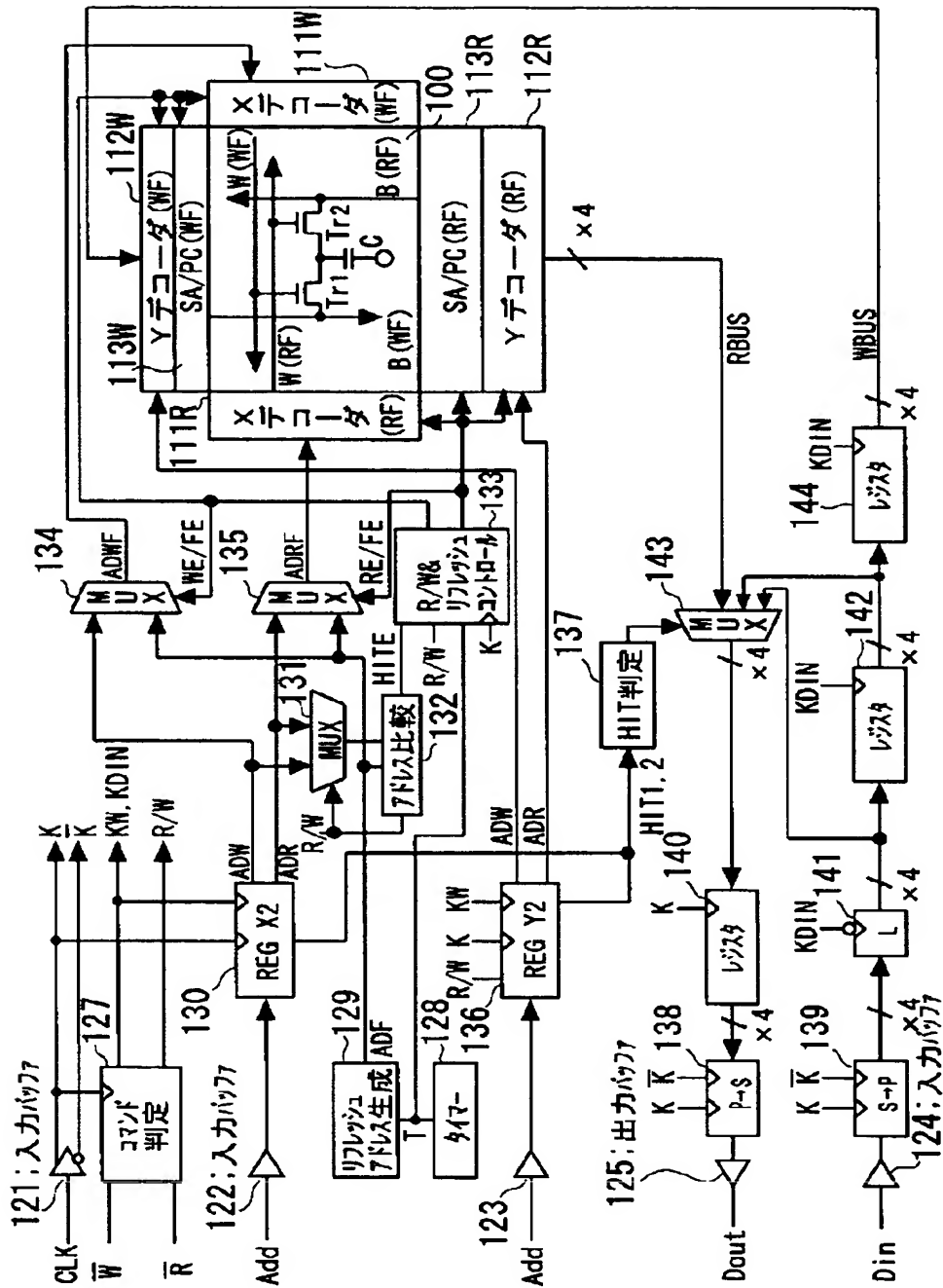
WE/FE 書き込み/リフレッシュ制御信号

/W ライト信号

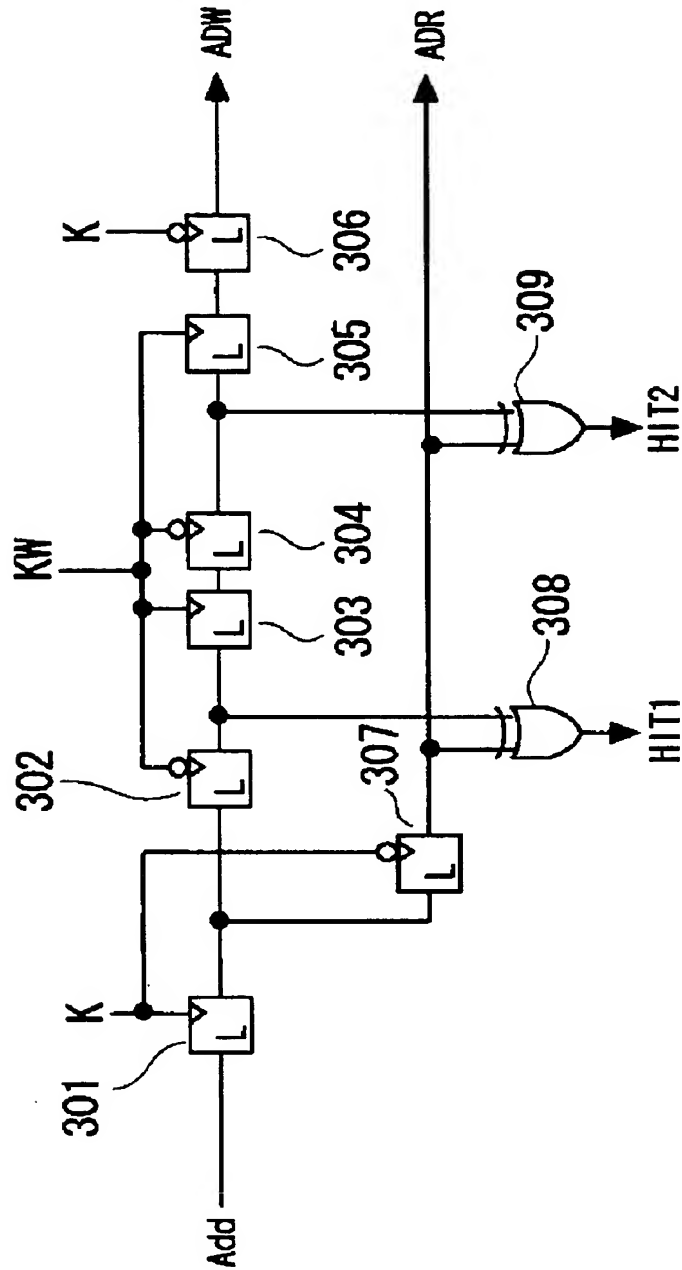
NM101~NM108、NM111~NM117 NMOSトランジスタ

PM101、NM102、PM111、NM112 PMOSトランジスタ

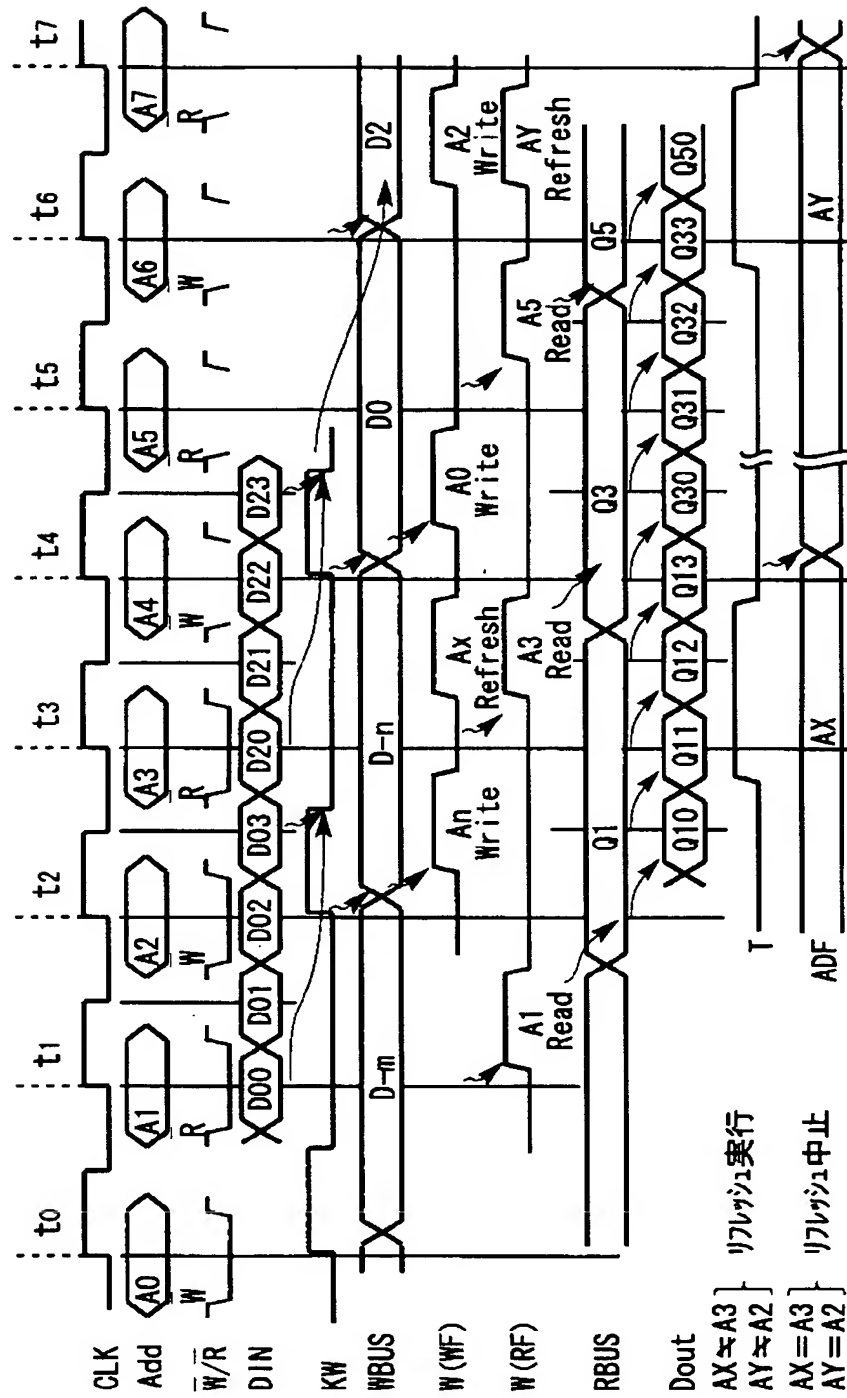
【書類名】 図面
【図 1】



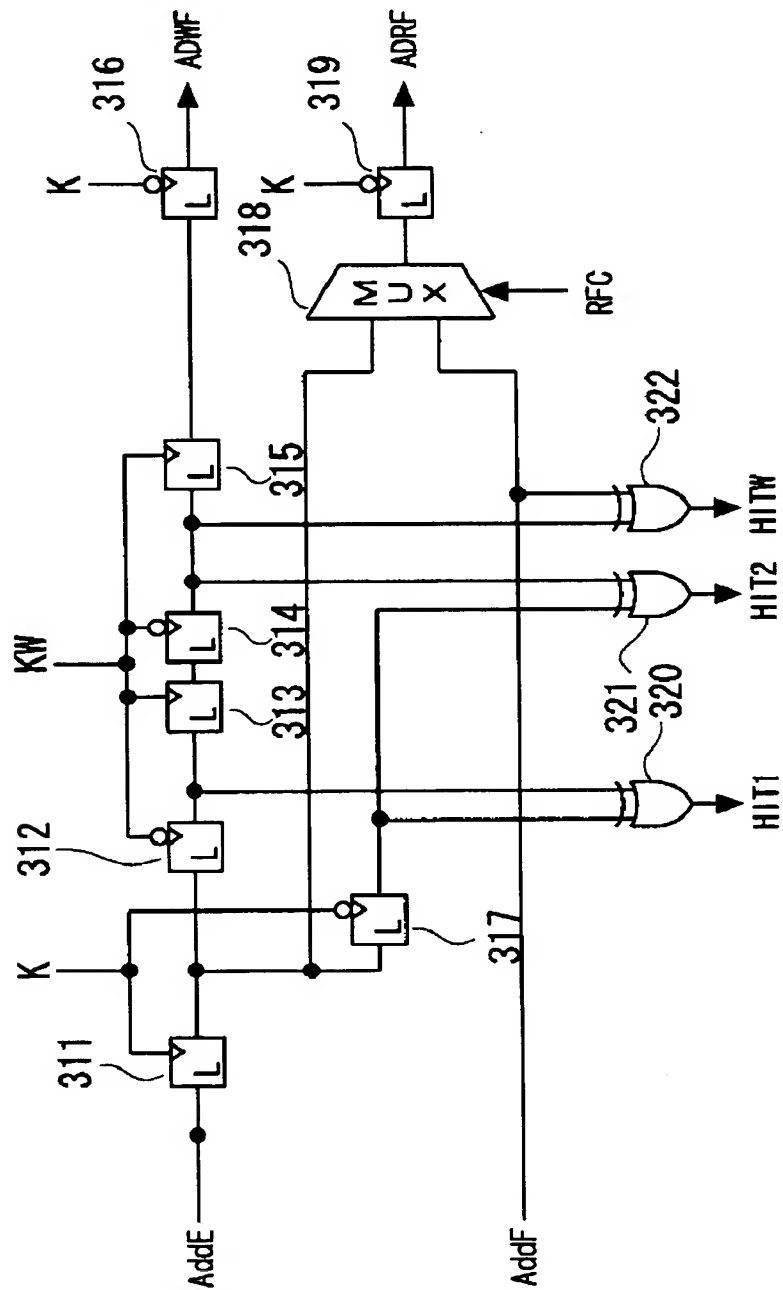
【図 2】



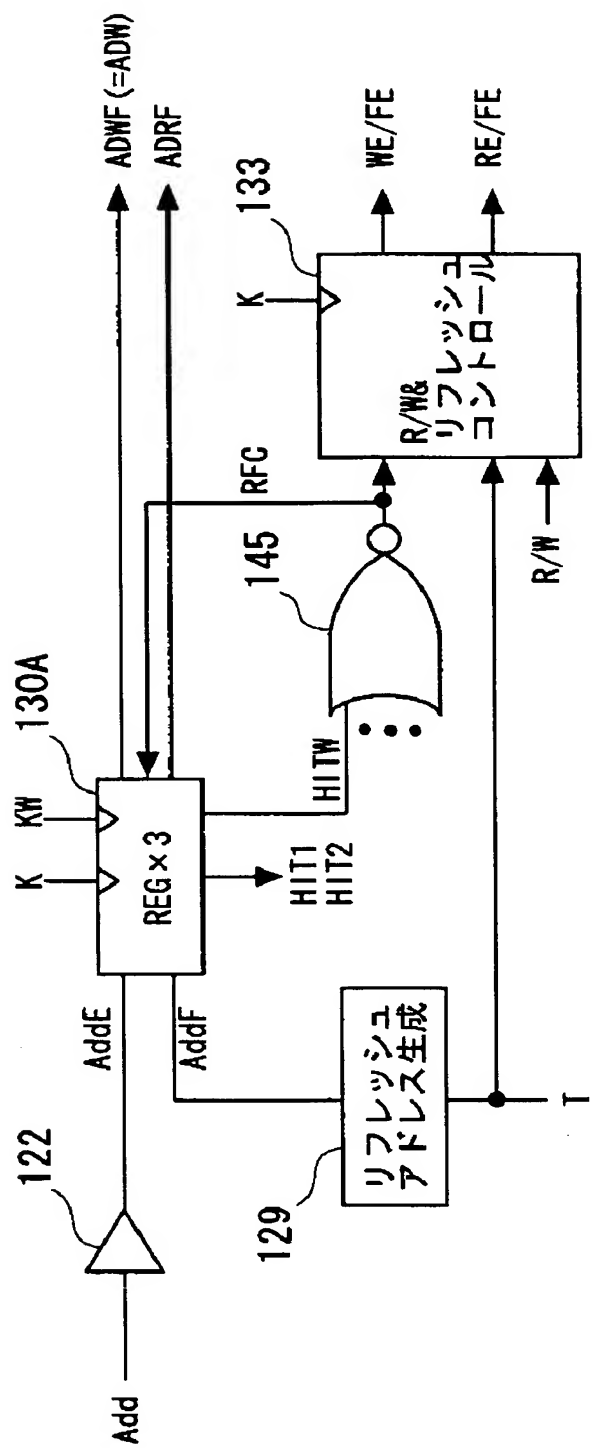
【図 3】



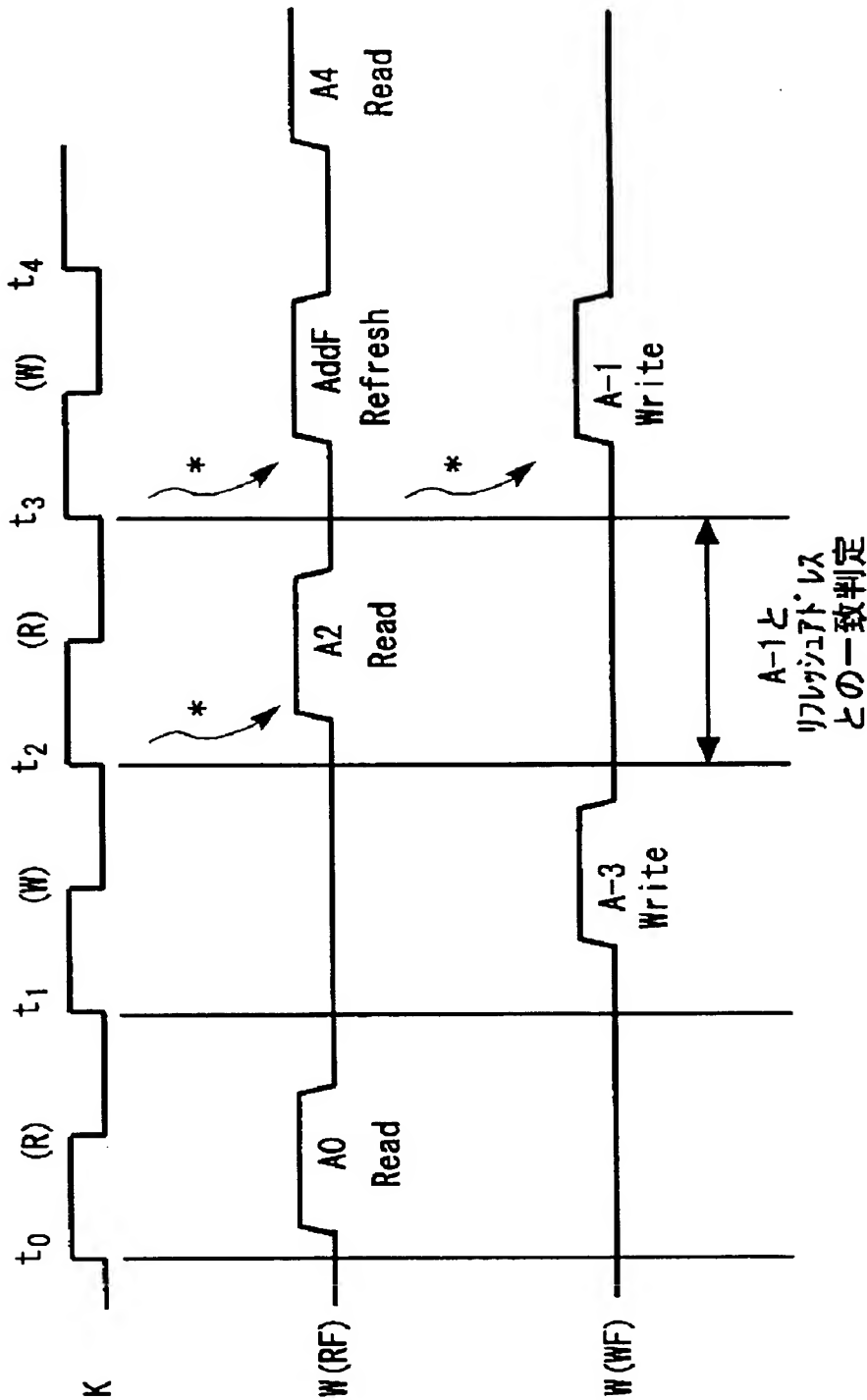
【図 4】



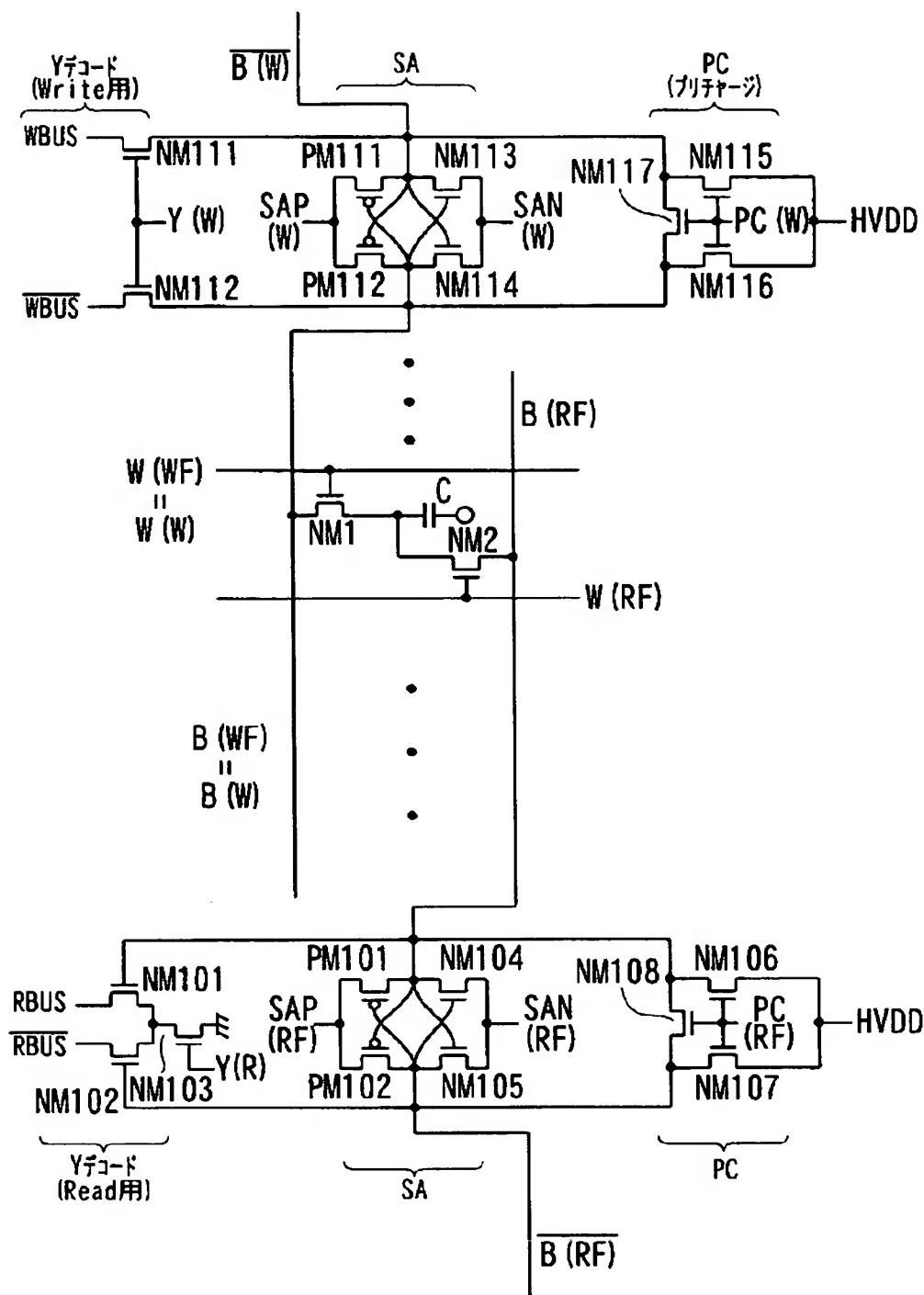
【図 5】



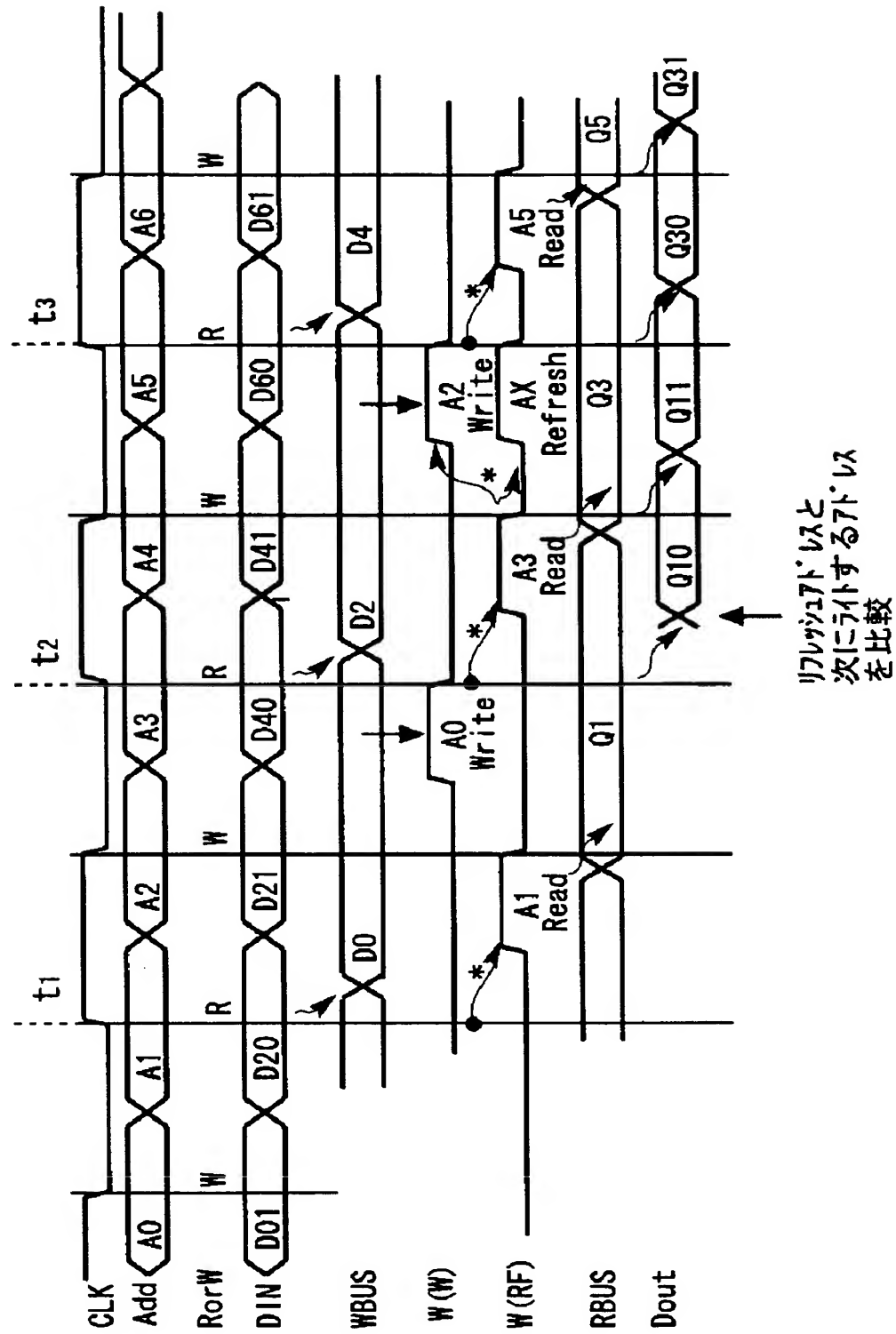
【図 6】



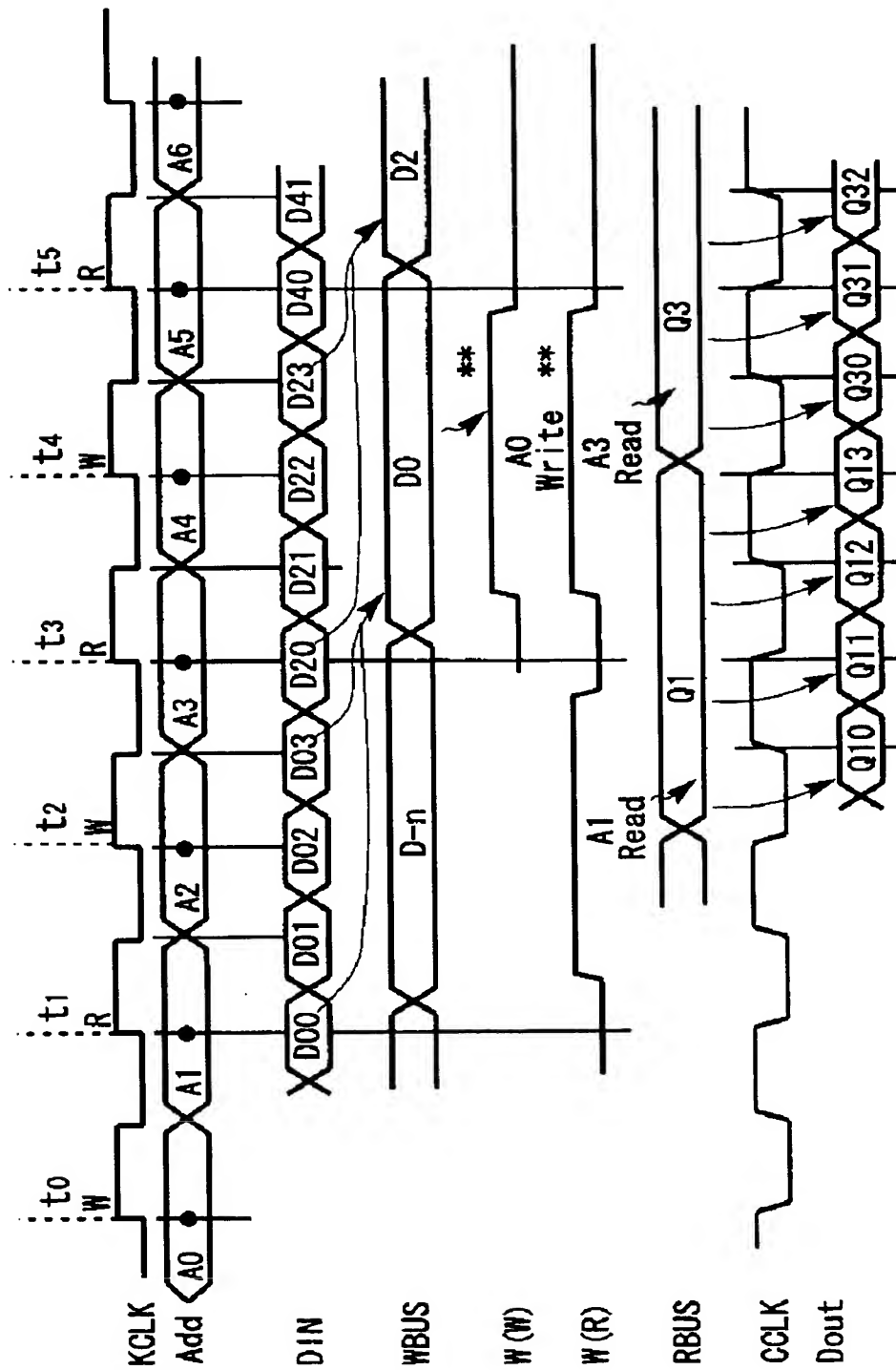
【図 8】



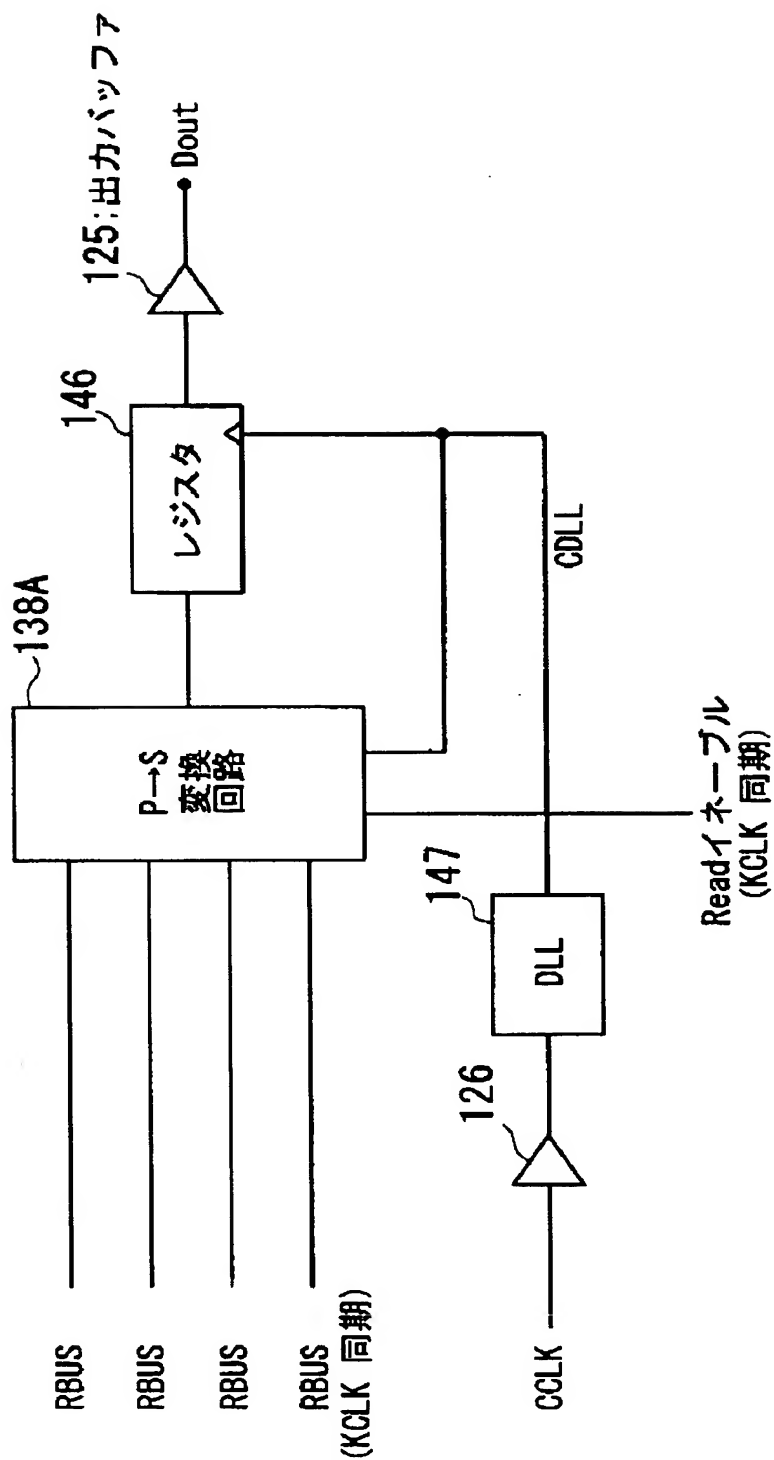
【図 9】



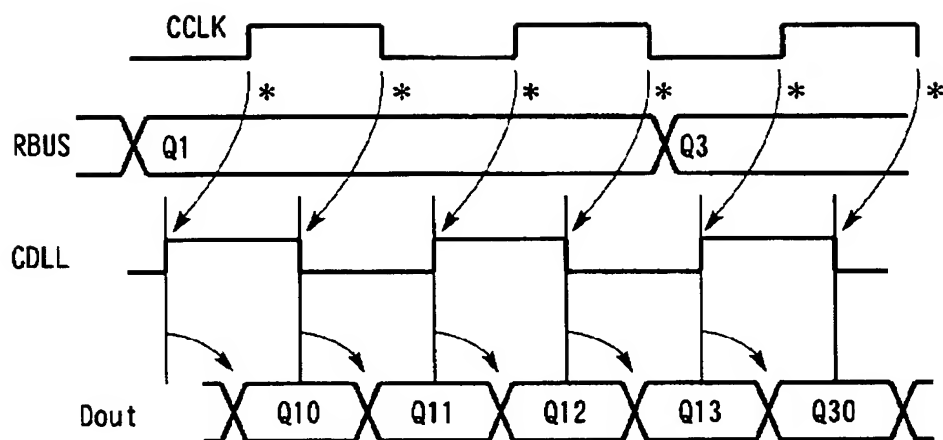
【図 10】



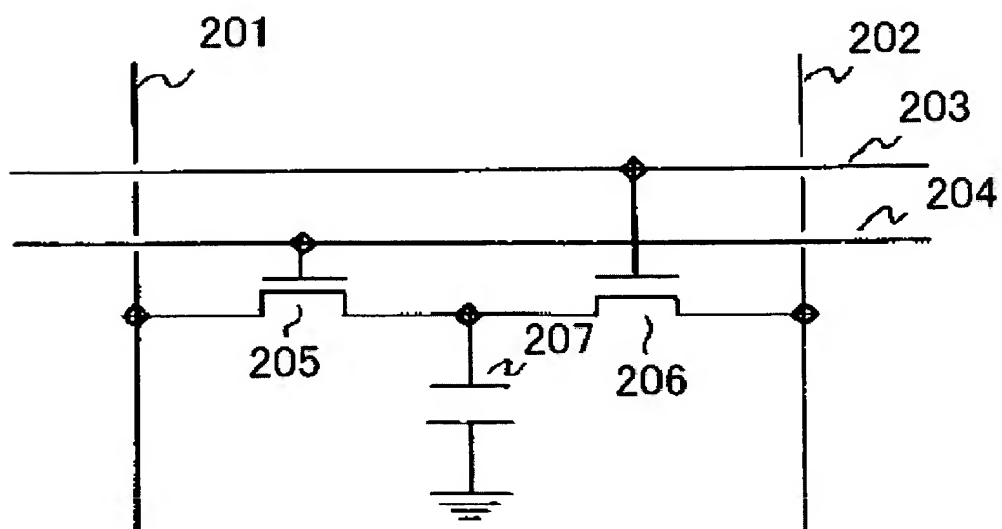
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】

リフレッシュ動作の遅延を外部からみえなくし、高速化、低コスト化を図る半導体記憶装置の提供。

【解決手段】

メモリセルが、ライト系のビット線B(WF)とリード系のビット線B(RF)間に接続された2つのトランジスタTr1、Tr2と、データ蓄積用容量Cと、を備え、2つのトランジスタの制御端子には、ライト系ワード線W(WF)とリード系ワード線W(RF)が接続され、入力されたアドレス信号を保持するアドレス保持回路130からのリード／ライトアドレスのうちリード／ライト信号で選択されるアドレスとリフレッシュアドレスを比較する判定手段(132)を備え、不一致の場合、リード又はライトアドレスで選択される、リード／ライト系の一方の系のリード／ライト動作と、リフレッシュアドレスで選択されるリード／ライト系の他方の系を用いたリフレッシュ動作が同一サイクルで並行して行われ、一致の場合、リード系とライト系のうち一方の系に対応するワード線及びビット線を用いたリード又はライト動作が行われる。

【選択図】

図1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 75010432

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-314327

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成 1 5 年 1 月 1 0 日提出の特願 2 0 0 2 - 3 1 8 4 8
8 の出願人名義変更届に添付のものを援用する。

【物件名】 承継人であることを証明する書面 1

【援用の表示】 平成 1 5 年 1 月 1 5 日提出の平成 9 年特許願第 2 8 7 7
4 3 号の出願人名義変更届に添付のものを援用する。

【包括委任状番号】 0216557

【プルーフの要否】 要

特願 2 0 0 2 - 3 1 4 3 2 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 9 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 港 区 芝 五 丁 目 7 番 1 号

氏 名

日 本 電 気 株 式 会 社

特願 2 0 0 2 - 3 1 4 3 2 7

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社